

**UNIVERSIDADE FEDERAL DE PERNAMBUCO
CENTRO DE TECNOLOGIA E GEOCIÊNCIAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

MILTON TAVARES DE MELO NETO

**INVERSOR FONTE Z TRIFÁSICO DE TRÊS ESTADOS PARA SISTEMAS
FOTOVOLTAICOS SEM TRANSFORMADOR**

RECIFE

2017

MILTON TAVARES DE MELO NETO

**INVERSOR FONTE Z TRIFÁSICO DE TRÊS ESTADOS PARA SISTEMAS
FOTOVOLTAICOS SEM TRANSFORMADOR**

Tese submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Pernambuco como parte dos requisitos para obtenção do grau de Doutor em Engenharia Elétrica.

Área de Concentração: Processamento de Energia.

Orientador: Prof^o Dr^o Marcelo Cabral Cavalcanti

Coorientador: Prof^o Dr^o Fabrício Bradaschia

RECIFE

2017

Catálogo na fonte
Bibliotecária Maria Luiza de Moura Ferreira, CRB-4 / 1469

M528i Melo Neto, Milton Tavares de.
Inversor fonte Z trifásico de três estados para sistemas fotovoltaicos sem transformador / Milton Tavares de Melo Neto. - 2017.
154 folhas, il., tabs., abr., siglas e simb.

Orientador: Prof. Dr. Marcelo Cabral Cavalcanti.

Coorientador: Prof. Dr. Fabrício Bradaschia.

Tese (Doutorado) – Universidade Federal de Pernambuco. CTG. Programa de Pós-Graduação em Engenharia Elétrica, 2017.

Inclui Referências.

1. Engenharia Elétrica. 2. Conversão de energia. 3. Inversores. 4. Sistemas fotovoltaicos.
I. Cavalcanti, Marcelo Cabral (Orientador). II. Bradaschia, Fabrício (Coorientador).
III. Título.

UFPE

621.3 CDD (22. ed.)

BCTG/2018-54



Universidade Federal de Pernambuco
Pós-Graduação em Engenharia Elétrica

**PARECER DA COMISSÃO EXAMINADORA DE DEFESA DE
TESE DE DOUTORADO DE**

MILTON TAVARES DE MELO NETO

TÍTULO

**“INVERSOR FONTE Z TRIFÁSICO DE TRÊS ESTADOS PARA
SISTEMAS FOTOVOLTAICOS SEM TRANSFORMADOR”**

A comissão examinadora composta pelos professores: MARCELO CABRAL CAVALCANTI, DEE/UFPE; FABRICIO BRADASCHIA, DEE/UFPE; FRANCISCO DE ASSIS DOS SANTOS NEVES, DEE/UFPE; ZANONI DUEIRE LINS, DEE/UFPE; YALES RÔMULO DE NOVAES, DEE/UDESC e CASSIANO RECH, DEE/UFSM, sob a presidência do primeiro, consideram o candidato **MILTON TAVARES DE MELO APROVADO.**

Recife, 31 de agosto de 2017.

EDUARDO FONTANA
Vice-Coordenador do PPGEE

MARCELO CABRAL CAVALCANTI
Orientador e Membro Titular Interno

YALES RÔMULO DE NOVAES
Membro Titular Externo

FABRICIO BRADASCHIA
Coorientador e Membro Titular Interno

CASSIANO RECH
Membro Titular Externo

FRANCISCO DE ASSIS DOS SANTOS NEVES
Membro Titular Interno

ZANONI DUEIRE LINS
Membro Titular Interno

Dedico esse trabalho a minha família, em especial ao meu filho Miguel.

AGRADECIMENTOS

Primeiramente, sempre a Deus, por guiar-me nessa jornada. A minha esposa Cláudia, meus pais Milton e Gildete, minha segunda mãe Marlene, minhas irmãs Rhaissa, Leonia e Joana por toda compreensão e apoio.

Aos meus orientadores e amigos Marcelo Cavalcanti e Fabrício Bradaschia, pois esse trabalho é fruto da participação intensa de ambos, muitas delas além de suas obrigações acadêmicas. Meu grande amigo Gustavo Medeiros, pelas intervenções fundamentais, sempre que acionado e a Tiago Cardoso, pelo apoio na montagem do experimento.

Por fim, para não cometer omissões, a todos os companheiros da Compesa que, de alguma forma, incentivaram e contribuíram para realização desse trabalho.

RESUMO

No Brasil, como em outras partes do mundo, têm-se incentivado fortemente a geração de energia elétrica através de das fontes alternativas como eólica e solar fotovoltaica. A primeira possui tecnologia comercialmente difundida e empregada em grandes parques, inclusive em nosso país. A segunda vem sendo empregada em grande escala nos últimos anos, em decorrência, principalmente, da diminuição do custo do painel fotovoltaico. Nesse caso, seu grande diferencial é a facilidade de aplicação em micro e minigeration, principalmente nos telhados das construções. Esse tipo de geração tem, como característica básica, a grande variação de potência disponível em intervalos relativamente pequenos, devido à variação da irradiância solar. Considerando essa grande sazonalidade, os pequenos blocos de potência da minigeração e a baixa eficiência dos painéis fotovoltaicos, há uma constante busca por tecnologias que possibilitem o uso mais eficiente dessa fonte. Nesse contexto, esse trabalho apresenta duas novas topologias de inversor fonte Z trifásico com três estados a serem empregadas, inicialmente, em sistemas fotovoltaicos sem transformador. As topologias propostas são baseadas na família de inversores monofásicos de três chaves com três estados que apresenta como vantagens: o bom rendimento, a inversão e elevação de tensão em um único estágio e a baixa corrente de fuga para sistemas fotovoltaicos sem transformador. É realizada uma análise desta família de inversores, escolhendo-se uma das topologias como base para uma derivação trifásicas, considerando os níveis de estresse nas chaves e expectativas de rendimento. Duas modelagens dinâmicas, de grandes e pequenos sinais, são construídas para a topologia selecionada, servindo de alicerce na definição dos valores dos componentes e controle. A primeira topologia trifásica é deduzida a partir da associação de três inversores da topologia monofásica selecionada, caracterizando-se por possuir um total de nove chaves, e herdar, naturalmente, o controle obtido para topologia monofásica. A segunda topologia é alcançada através da eliminação de duas chaves da primeira topologia trifásica, resultando em uma nova topologia com sete chaves então. Através da análise comparativa das simulações, percebe-se que o controle utilizado no inversor de nove chaves é aplicável ao inversor de sete chaves, confirmando sua eficácia. Simulações para os inversores operando com uma carga resistiva e conexão com à rede elétrica, além dos resultados experimentais com carga resistiva, são apresentados validando as topologias e controles propostos.

Palavras-chave: Conversão de energia. Inversores. Sistemas fotovoltaicos.

ABSTRACT

In Brazil, as in other parts of the world, it strongly encourages generation of electricity through alternative power sources such as wind and solar photovoltaic. The first technology commercially diffused and used in large parks, including in our country. The second has been used at large-scale in recent years, mainly due to the decrease in the cost of the photovoltaic panel. In this case, its great differential is a facility of application in small power generation, mainly in the rooftops. This kind of generation has, as basic characteristic, a great variation of power available in relatively small intervals, due to the variation of solar irradiation. Since that is great, the small energy blocks of mining and the low efficiency of photovoltaic panels, there is a constant search for technologies that allow the most efficient use of this source. In this context, this work presents two new topologies of three-phase inverter with three states to be used, initially, in photovoltaic systems without transformer. The proposed topologies are based on the family of single-phase three-key inverters with three states that have the following advantages: good efficiency, single-stage voltage inversion and elevation, and low leakage current for transformerless photovoltaic systems. An analysis of this family of inverters is performed, choosing one of the topologies as the basis for a three-phase derivation, considering the levels of stress in the keys and efficiency expectations. Two dynamic modeling, of large and small signals, are built for the selected topology, serving as a foundation in the definition of component values and control. The first three-phase topology is deduced from the association of three inverters of the selected single-phase topology, characterized by having a total of nine switches, and inheriting, of course, the control obtained for single-phase topology. The second topology is achieved by eliminating two keys from the first three-phase topology, resulting in a new topology with seven keys then. Through the comparative analysis of the simulations, it is noticed that the control used in the inverter of nine keys is applicable to the inverter of seven keys, confirming its effectiveness. Simulations for the inverters operating with a resistive load and connection to the electric grid, besides the experimental results with resistive load, are presented validating the proposed topologies and controls.

Keywords: Energy conversion. Inverters. Photovoltaic systems.

LISTA DE ILUSTRAÇÕES

Figura 1 – Irradiância global média anual.	23
Figura 2 – Representação das capacitâncias parasitas em um painel FV	25
Figura 3 – Topologias monofásicas de inversor FV sem transformador: (a) H5; (b) HERIC; (c) Com eliminação da potência pulsante; (d) Barramento c.c. virtual; (e) Inversor de modo comum; (f) <i>Charge pump circuit</i>	26
Figura 4 – Conversor de dois estágios para sistemas FV sem transformador.	29
Figura 5 – Inversor fonte Z com diodo extra para sistemas FV sem transformador.	30
Figura 6 – Família TSTS-ZSIs com entrada do tipo <i>boost</i> propostas em (HUANG et al., 2013).	30
Figura 7 – Família TSTS-ZSIs com entrada do tipo <i>buck-boost</i> propostas em (HUANG et al., 2013).	31
Figura 8 – Topologia convencional de um ZSI.	35
Figura 9 – Exemplos de topologias <i>quasi-ZSI</i> (qZSI).	35
Figura 10 – Exemplos de topologias <i>semi-ZSI</i> (Y.TANG S. XIE, 2008).	36
Figura 11 – Topologia convencional de um conversor <i>boost</i> c.c.-c.c..	37
Figura 12 – Malhas de impedâncias <i>semi-Z</i> propostas em (BERKOVICH et al., 2007).	37
Figura 13 – Topologia proposta em (BERKOVICH et al., 2007) com característica bidirecional de quatro quadrantes.	38
Figura 14 – Topologia proposta em (BERKOVICH et al., 2007). Operação para: (a) o primeiro e (b) o segundo estágios.	38
Figura 15 – Ganho de tensão da topologia na Figura 13 em função de D_1	39
Figura 16 – Circuito de um <i>semi-ZSI</i> proposto em (HUANG et al., 2013).	40
Figura 17 – Ganho de tensão da topologia da Figura 16 em função de D_2	41
Figura 18 – Topologia convencional de um conversor <i>boost</i> c.c.-c.c. da Figura 11, considerando apenas utilização de chaves $S_1 = S_{1boost}$ e $S_1 = S_{2boost}$	42
Figura 19 – Concepção da Topologia de dois estágios proposta em (HUANG et al., 2013), através da junção dos do conversor <i>boost</i> da Figura 11 com o circuito e <i>semi-ZSI</i> da Figura 16.	43
Figura 20 – Concepção da Topologia de três estágios proposta em (HUANG et al., 2013), através da junção dos do conversor <i>boost</i> da Figura 18 com o circuito e <i>semi-ZSI</i> da Figura 16.	45
Figura 21 – Primeira topologia TSTS-ZSI proposta em (HUANG et al., 2013).	46
Figura 22 – Representação esquemática da topologia da Figura 21 em: (a) estágio <i>boost</i> e (b) estágio <i>semi-ZSI</i>	47
Figura 23 – Circuitos de acordo com os estados de operação (Tabela 1)	48

Figura 24 – Padrão de chaveamento com os três estados das três chaves.	49
Figura 25 – Topologias convencionais de conversores c.c.-c.c.: (a) <i>boost</i> ; (b) <i>buck-boost</i>	50
Figura 26 – Conversores TSTS-ZSI propostos em (HUANG et al., 2013): (a) tipo <i>Boost</i> ; (b) tipo <i>Buck-boost</i>	50
Figura 27 – Família TSTS-ZSIs com entrada do tipo <i>boost</i> proposta em (HUANG et al., 2013).	51
Figura 28 – Circuitos equivalentes dos três estados do inversor da Figura 27a: (a) Estado 1: S_1 e S_3 ligadas e S_2 desligada; (b) Estado 2: S_1 e S_2 ligadas e S_3 desligada. (c) Estado 3: S_2 e S_3 ligadas e S_1 desligada.	52
Figura 29 – Família TSTS-ZSIs com entrada do tipo <i>buck-boost</i> proposta em (HUANG et al., 2013).	57
Figura 30 – Circuitos equivalentes dos três estados do inversor na Figura 29a: (a) Estado 1: S_1 e S_3 ligadas e S_2 desligada; (b) Estado 2: S_1 e S_2 ligadas e S_3 desligada. (c) Estado 3: S_2 e S_3 ligadas e S_1 desligada.	58
Figura 31 – Tensões para o cálculo dos <i>ripples</i> : (a), (b) e (c) padrão de chaveamento estabelecido (Figura 24), desconsiderando o tempo morto; (d) e (e) Tensão e Corrente em L_f ; (f) e (g) Tensão e Corrente em L	67
Figura 32 – Diagrama de blocos do sistema matricial em (112).	73
Figura 33 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 , S_2 e S_3	74
Figura 34 – Comparação entre as tensões e correntes obtidas do circuito e modelo, incluindo o período transitório.	75
Figura 35 – Comparação entre as tensões e correntes obtidas do circuito e modelo, apenas em regime permanente.	76
Figura 36 – Comparação entre as tensões e correntes obtidas do circuito e modelo, apenas em regime permanente, realizando uma média na frequência de chaveamento (f_{sw}) nos valores das grandezas do circuito.	77
Figura 37 – Gráfico de V_{bb} , em regime permanente: (a) Maior escala de tensão; (b) Menor escala de tensão; (c) Considerando média na frequência de chaveamento (f_{sw}) de V_c (Figura 36c) e V_o (Figura 36d) do circuito.	77
Figura 38 – Ilustração de uma tensão $v(t)$ com e sem as ondulações de alta frequência (ERICKSON; MAKSIMOVIC, 2004).	78
Figura 39 – Ilustração do espectro da tensão $v(t)$ da Figura 38 (ERICKSON; MAKSIMOVIC, 2004).	79
Figura 40 – Ilustração da linearização em torno do ponto \bar{V} em relação a d	80
Figura 41 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 , S_2 e S_3 , considerando a modelagem em pequenos sinais.	85
Figura 42 – Diagramas do modelo matemático em pequenos sinais utilizado para obtenção dos resultados na Figura 43	86

Figura 43 – Comparação entre as tensões e correntes obtidas do circuito e modelo em pequenos sinais: (a) corrente I_{LF} ; corrente I_L ; tensão V_c e tensão V_o	87
Figura 44 – Comparação entre as tensões e correntes obtidas do circuito e modelo em pequenos sinais com detalhes destacados na Figura 43: (a) Detalhe 1 da tensão V_c ; (b) Detalhe 2 da tensão V_c ; (c) Detalhe 1 da tensão V_o ; (d) Detalhe 2 da tensão V_o	88
Figura 45 – (a) Lugar das raízes com variação de C ; (b) Ampliação para visualização dos polos.	90
Figura 46 – Ondulação de v_c com a variação de C	90
Figura 47 – (a) Lugar das raízes com variação de C_o ; (b) Ampliação para visualização dos polos.	91
Figura 48 – Ondulação de v_c com a variação de C_o	91
Figura 49 – (a) Lugar das raízes com variação de L ; (b) Ampliação para visualização dos polos.	92
Figura 50 – (a) Lugar das raízes com variação de L_f ; (b) Ampliação para visualização dos polos.	93
Figura 51 – (a) e (b) Lugar das raízes da planta de \hat{v}_o/\hat{d}_2 , considerando a variação senoidal para possíveis valores de \bar{D}_2 com $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$, respectivamente.	95
Figura 52 – Ampliação da Figura 51 para visualização dos polos (vermelho) e zeros (verde) próximos ao eixo das ordenadas mostrando o caminhos realizados pelos mesmos em função da variação de \bar{D}_2 , para $V_o=220 V_{rms}$	96
Figura 53 – (a) Lugar das raízes de \hat{v}_{bb}/\hat{d}_1 para $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$, sendo os valores para $220 V_{rms}$ de zeros: $17,483 \cdot 10^4$ e $(-0,010 \pm 0,361i) \cdot 10^4$ e de polos: $(-0,0016 \pm 6,1450i) \cdot 10^3$ e $(-0,1777 \pm 2,8018i) \cdot 10^3$. E para $110 V_{rms}$ de zeros: $11,642 \cdot 10^4$ e $(-0,012 \pm 0,361i) \cdot 10^4$ e de polos: $(-0,0016 \pm 6,1450i) \cdot 10^3$ e $(-0,1792 \pm 2,8017i) \cdot 10^3$. (b) Ampliação para visualização dos polos e zeros próximos ao eixo das ordenadas.	98
Figura 54 – (a) Lugar das raízes de \hat{v}_{bb}/\hat{d}_1 para $V_o=220 V_{rms}$ considerando um PI com ganhos $K_p = -1,2 \cdot 10^{-6}$ e $K_i = -4 \cdot 10^{-3}$. Para $V_o=110 V_{rms}$ sob as mesmas condições, têm-se um PI com ganhos $K_p = -1,2 \cdot 10^{-6}$ e $K_i = -4 \cdot 10^{-3}$; (b) Ampliação para visualização dos polos.	99
Figura 55 – (a) Resposta de \hat{v}_{bb}/\hat{d}_1 a um degrau para $V_o=220 V_{rms}$. (b) Ampliação da resposta a um degrau destacando o ponto onde $t_s(1\%) \geq 400$ ms.	100
Figura 56 – Digrama de Bode de \hat{v}_{bb}/\hat{d}_1 em malha aberta ($V_o=220 V_{rms}$) - (a) Magnitude (b) Fase.	101
Figura 57 – Diagrama de blocos do controle de V_{bb} através de \hat{d}_1	101

Figura 58 – (a) Lugar das raízes de \hat{v}_o/\hat{d}_2 para $V_o=220 V_{rms}$ considerando um PI com ganhos $K_p = -2,42 \cdot 10^{-5}$ e $K_i = -0,11$. para $V_o=110 V_{rms}$ considerando um PI com ganhos $K_p = -4,84 \cdot 10^{-5}$ e $K_i = -0,22$; (b) Ampliação para visualização dos polos para planta $\frac{\hat{v}_o}{\hat{d}_2}$	102
Figura 59 – (a) Resposta do sistema a um degrau para $V_o=220 V_{rms}$. (b) Ampliação da resposta a um degrau destacando o ponto onde $t_s(1\%) \geq 41ms$ para planta $\frac{\hat{v}_o}{\hat{d}_2}$	103
Figura 60 – Digrama de Bode de \hat{v}_o/\hat{d}_2 em malha aberta ($V_o=220 V_{rms}$) - (a) Magnitude (b) Fase.	104
Figura 61 – Diagrama de blocos do controle de v_o através de \hat{d}_2 , onde f_1 é a frequência da fundamental.	105
Figura 62 – Diagrama de blocos para obtenção de do controle de $\bar{D}_2^{c.c}$	105
Figura 63 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1, S_2 e S_3 , considerando a compensação da componente c.c. de V_o	106
Figura 64 – Gráficos de simulação do circuito (dados da Tabela 9): (a) Razão de trabalho D_1 ; (b) Tensão V_{bb}	107
Figura 65 – Gráficos de simulação do circuito (dados da Tabela 9): (a) Razão de trabalho D_2 ; (b) Tensão V_o ; (c) Tensão V_c	108
Figura 66 – Gráficos de simulação do circuito (dados da Tabela 9): (a) Corrente I_L ; (b) Corrente I_{Lf}	109
Figura 67 – Topologia <i>buck-boost</i> já apresentada na Figura 29a, adotada como base para o desenvolvimento da topologia trifásica.	110
Figura 68 – Topologia <i>buck-boost</i> trifásica com nove chaves.	111
Figura 69 – Inversor <i>buck-boost</i> com nove chaves e carga resistiva: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f	114
Figura 70 – Inversor <i>buck-boost</i> com nove chaves e carga resistiva: tensões e correntes nas chaves da fase A.	115
Figura 71 – Comparação entre as tensões e correntes da fase A do inversor com nove chaves, obtidas do circuito e modelo em regime permanente	116
Figura 72 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 a S_9 , considerando a compensação da componente c.c. de v_o	117
Figura 73 – Inversor <i>buck-boost</i> com nove chaves e controle: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f	118
Figura 74 – Inversor <i>buck-boost</i> trifásico com sete chaves.	119
Figura 75 – Inversor <i>buck-boost</i> com sete chaves e carga resistiva: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f ; (f) Tensão v_{bb}	120
Figura 76 – Inversor <i>buck-boost</i> com sete chaves e carga resistiva: tensões e correntes nas chaves da fase A.	121

Figura 77 – Exemplo de operação para o inversor de sete chaves (Figura 74).	122
Figura 78 – Inversor <i>buck-boost</i> trifásico com sete chaves e L_E	123
Figura 79 – Exemplos do de operação para o inversor de sete chaves e L_E (Figura 78).	124
Figura 80 – Inversor <i>buck-boost</i> com sete chaves e L_E , carga resistiva: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f	125
Figura 81 – Inversor <i>buck-boost</i> com sete chaves e L_E , carga resistiva: tensões e correntes nas chaves da fase A.	126
Figura 82 – Comparação entre os valores médios (para eliminação das ondulações) de i_{L_f} do inversor de sete chaves com o somatório de i_{L_f} das três fases da topologia com nove chaves.	127
Figura 83 – Comparação entre as tensões e correntes da fase A do inversor com sete chaves e L_E , obtidas do circuito e modelo em regime permanente	128
Figura 84 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 a S_7 , considerando a compensação da componente c.c. de v_o	129
Figura 85 – Inversor <i>buck-boost</i> com sete chaves e L_E , com controle: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f	130
Figura 86 – Inversor <i>buck-boost</i> trifásico com sete chaves e L_E , conectado à rede.	131
Figura 87 – Conexão a rede do inversor <i>buck-boost</i> com sete chaves, incluindo L_E e controle de corrente: (a) tensões da rede;(b) correntes injetadas na rede; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f	132
Figura 88 – Aspecto geral do experimento. Da esquerda para direita: osciloscópio e tela do computador com interface desenvolvida no dSPACE, painel de aquisição de sinais do dSPACE e quadro vertical com montagem reversível de nove para sete chaves.	133
Figura 89 – Detalhe superior do quadro vertical apresentado na Figura 88. De cima para baixo: chaves, <i>gate drives</i> (na horizontal abaixo do dissipador, placa geradora do sinal de PWM, fontes auxiliares e disjuntores para seccionamento da alimentação e carga.	134
Figura 90 – Detalhe Inferior do quadro vertical apresentado na Figura 88. Na parte superior da esquerda para direita são mostrada as placas de aquisição dos sinais de: tensões na carga v_o ; Correntes na carga i_o e da fonte de corrente c.c.; Tensões nos capacitores da malha <i>semi-Z</i> v_c . Na parte de baixo são vistos os indutores utilizados para as duas topologias	135
Figura 91 – Capacitores montados na parte de trás do Painel da Figura 89	136

Figura 92 – Inversor <i>buck-boost</i> com nove chaves com carga resistiva e sem controle - Tensões na Carga ($v_{oa}=113 V_{rms}$, $v_{oc}=111 V_{rms}$ e $v_{oa}=109 V_{rms}$) e tensão da fonte c.c. ($V_{dc}=108 V$). Escala de $100V/div$ na tensão de carga e $50V/div$ na tensão da fonte	137
Figura 93 – Inversor <i>buck-boost</i> com nove chaves com carga resistiva e sem controle - Correntes nos indutores, valores máximos, ($i_L=4,9 A$ e $i_{Lf}=7,44 A$). Escala de $5A/div$	138
Figura 94 – Inversor <i>buck-boost</i> com nove chaves com carga resistiva e sem controle - Tensão na carga e no capacitor da malha (v_{oa} e V_{ca}). Escala de $100V/div$. . .	139
Figura 95 – Inversor <i>buck-boost</i> com sete chaves com carga resistiva e sem controle - Tensões na Carga ($v_{oa}=111 V_{rms}$, $v_{oc}=110 V_{rms}$ e $v_{oa}=108 V_{rms}$) e tensão da fonte c.c. ($V_{dc}=108 V$). Escala de $100V/div$ na tensão de carga e $50V/div$ na tensão da fonte.	139
Figura 96 – Inversor <i>buck-boost</i> com sete chaves com carga resistiva e sem controle - Correntes nos indutores, valores máximos, ($i_L=4,9 A$ e $i_{Lf}=8.06 A$). Escala de $5A/div$	140
Figura 97 – Inversor <i>buck-boost</i> com sete chaves com carga resistiva e sem controle - Tensão na carga e no capacitor da malha (V_{oa} e V_{ca}). Escala de $100V/div$. .	140
Figura 98 – Inversor <i>buck-boost</i> nove chaves com controle. (a) Degrau de +5% em V_o^{ref} (de $147,6 V$ para $155,4 V$) (b) Degrau de -5% em V_o^{ref} (de $155,4 V$ para $147,6 V$): (Verde) V_{cA} ($50 V/div$);(Colorido) v_{oABC} ($100 V/div$); (Vermelho) V_{in} ($200 V/div$). $50 ms/div$	141
Figura 99 – Inversor <i>buck-boost</i> nove chaves com controle. (a) Degrau de +5% em V_{bb}^{ref} (de $-168,1 V$ para $-177 V$) (b) Degrau de -5% em V_{bb}^{ref} (de $-177 V$ para $-168,1 V$): (Verde) V_{cA} ($50 V/div$);(Colorido) v_{oABC} ($100 V/div$); (Vermelho) V_{in} ($200 V/div$). $50 ms/div$	142
Figura 100 – Inversor <i>buck-boost</i> sete chaves com controle. Degrau de +15% em V_{bb}^{ref} (de $150,45 V$ para $177 V$): (Verde) V_{cA} ($50 V/div$); (Colorido) v_{oABC} ($100 V/div$); (Vermelho) V_{in} ($200 V/div$). (a) $50 ms/div$ (b) $20 ms/div$	143
Figura 101 – Inversor <i>buck-boost</i> sete chaves com controle. Degrau de -15% em V_{bb}^{ref} (de $177 V$ para $150,45 V$): (Verde) V_{cA} ($50 V/div$); (Colorido) v_{oABC} ($100 V/div$); (Vermelho) V_{in} ($200 V/div$). (a) $50 ms/div$ (b) $20 ms/div$	144
Figura 102 – Inversor <i>buck-boost</i> sete chaves com controle. Degrau de +15% em V_o^{ref} (de $132 V$ para $155,4 V$): (Verde) V_{cA} ($50 V/div$); (Colorido) v_{oABC} ($100 V/div$); (Vermelho) V_{in} ($200 V/div$). (a) $50 ms/div$ (b) $20 ms/div$	145
Figura 103 – Inversor <i>buck-boost</i> sete chaves com controle. Degrau de -15% em V_o^{ref} (de $155,4 V$ para $132 V$): (Verde) V_{cA} ($50 V/div$); (Colorido) v_{oABC} ($100 V/div$); (Vermelho) V_{in} ($200 V/div$). (a) $50 ms/div$ (b) $20 ms/div$	146

- Figura 104–Inversor *buck-boost* sete chaves com controle. Degrau de +10% em V_{in} (de 100 V para 110 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} escala de 20 V/div. (a)20 ms/div (b)10 ms/div 147
- Figura 105–Inversor *buck-boost* sete chaves com controle. Degrau de -10% em V_{in} (de 110 V para 100 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} escala de 20 V/div. (a)20 ms/div (b)10 ms/div 148

LISTA DE TABELAS

Tabela 1 – Estados possíveis de operação das chaves.	47
Tabela 2 – Parâmetros das topologias.	63
Tabela 3 – Coeficientes obtidos das curvas do <i>datasheet</i> SKM50GB123D.	64
Tabela 4 – Análise comparativa dos TSTS ZSIs (HUANG et al., 2013).	65
Tabela 5 – Comparação de rendimento das topologias	66
Tabela 6 – Parâmetros da topologia <i>buck-boost</i> monofásica de três estados.	74
Tabela 7 – Valores das grandezas no ponto de equilíbrio, com $k = 2$	85
Tabela 8 – Valores máximos de ondulação em função das variações dos parâmetros C , C_o , L ou L_f , com $k = 2$. Valores obtidos com base em (95), (99), (102) e (103).	89
Tabela 9 – Parâmetros para o protótipo para tensão na carga de $220 V_{rms}$ ou $110 V_{rms}$, entre parênteses	93
Tabela 10 – Valores das grandezas nos diversos pontos de equilíbrio, em função da variação de \bar{D}_2 para $V_o=220 V_{rms}$, bem como parte real do polo mais próximo da região de instabilidade da função $\frac{\hat{v}_o}{\hat{d}_2}$ (polo*).	96
Tabela 11 – Valores das grandezas nos diversos pontos de equilíbrio, em função da variação de \bar{D}_2 para $V_o=110 V_{rms}$, bem como parte real do polo mais próximo da região de instabilidade da função $\frac{\hat{v}_o}{\hat{d}_2}$ (polo*).	97
Tabela 12 – Valores das grandezas no ponto de equilíbrio utilizados no controle	97
Tabela 13 – Estados possíveis de operação das chaves para o inversor de sete chaves.	117

LISTA DE ABREVIATURAS E SIGLAS

ANEEL	Agência Nacional de Energia Elétrica.
AZPWM	<i>Active Zero PWM.</i>
c.a.	Corrente Alternada.
c.c.	Corrente Contínua.
FV	Fotovoltaico.
GEPAE	Grupo de Eletrônica de Potência e Acionamentos Elétricos.
HERIC	<i>Highly Efficiency and Reliable Inverter Concept.</i>
MF	Margem de Fase.
MG	Margem de Ganho.
MPPT	<i>Maximum Power Point Tracking.</i>
PDE	Plano Decenal de Expansão de Energia.
PI	Proporcional Integral - Controlador.
PR	Proporcional Ressonante - Controlador.
PVC	Policloreto de Vinila.
PWM	<i>Pulse Width Modulation.</i>
RSPWM	<i>Remote State PWM.</i>
TSTS-ZSI	<i>Three-Switch Three-State ZSI.</i>
VSI	<i>Voltage Source Inverter.</i>
ZSI	<i>Z-Source Inverter.</i>
Wp	Watt pico

LISTA DE SÍMBOLOS

A	Ganho de tensão estabelecido para a topologia.
C_{FV-F}	Capacitância parasita entre a célula FV e superfícies condutoras.
C_{F-G}	Capacitância parasita entre a a carcaça do painel FV e a terra.
C_P	Capacitância parasita concentrada do painel FV.
D_n	Razão de Trabalho das chaves, onde n é inteiro.
\hat{d}_1	Distúrbio em torno de \bar{D}_1 .
\bar{D}_1	Ponto de Equilíbrio de D_1 .
\hat{d}_2	Distúrbio em torno de \bar{D}_2 .
\bar{D}_2	Ponto de Equilíbrio de D_2 .
f_1	Frequência da fundamental.
f_{sw}	Frequência de Chaveamento.
i_c	Corrente através do Capacitor C da malha <i>semi-z</i> .
i_L	Corrente através do Indutor L da malha <i>semi-z</i> .
\hat{i}_L	Distúrbio em torno de \bar{I}_L .
\bar{I}_L	Ponto de Equilíbrio de I_L .
i_{Lf}	Corrente através do Indutor L_f .
\hat{i}_{Lf}	Distúrbio em \bar{I}_{Lf} .
\bar{I}_{Lf}	Ponto de Equilíbrio de I_{Lf} .
i_o	Corrente na saída do inversor (carga ou rede).
\bar{I}_o	Ponto de Equilíbrio de I_o .
k	Ganho máximo de tensão do estágio <i>boost</i> .
$qZSI$	<i>Quazi ZSI</i> .
v_c	Tensão sobre o Capacitor C da malha <i>semi-z</i> .
\hat{v}_c	Distúrbio em torno de \bar{V}_c .
\bar{V}_c	Ponto de Equilíbrio de V_c .

V_S	Tensão da Rede das fases A, B e C.
v_{bb}	Tensão do barramento c.c. virtual ($2v_c + v_o$) da topologia <i>buck-boost</i> .
V_{bb}^{ref}	Referência para o controle de V_{bb} .
v_{in}	Tensão c.c. na entrada do inversor.
v_L	Tensão sobre o Indutor L da malha <i>semi-z</i> .
v_{Lf}	Tensão sobre o Indutor L_f .
v_o	Tensão sobre a saída do inversor (carga ou rede).
\hat{v}_o	Distúrbio em torno de \bar{V}_o .
\bar{V}_o	Ponto de Equilíbrio de V_o .
V_o^{ref}	Referência para o controle de V_o .
S_n	Chaves do Conversor, onde n é inteiro.
T_{sw}	Período de Chaveamento.

SUMÁRIO

1	INTRODUÇÃO	21
1.1	Energia Solar Fotovoltaica	22
1.2	Inversores para Sistemas Fotovoltaicos sem Transformador	23
1.3	Motivação e Objetivos da Tese de Doutorado	31
1.4	Organização da Tese de Doutorado	32
2	INVERSORES FONTE Z MONOFÁSICOS DE TRÊS ESTADOS COM TRÊS CHAVES	34
2.1	Conversor c.c.-c.c. com Duas Chaves Proposto em (BERKOVICH et al., 2007)	36
2.2	Topologias TSTS-ZSI (HUANG et al., 2013)	40
2.2.1	Circuito <i>semi-Z</i> (HUANG et al., 2013)	40
2.2.2	Topologias TSTS-ZSI (HUANG et al., 2013)	41
2.3	Família de TSTS-ZSIs com Entradas do Tipo <i>Boost</i>	51
2.3.1	Operação dos inversores	52
2.3.2	Esforços de tensão e corrente nas chaves	56
2.4	Família de TSTS-ZSIs com Entradas do Tipo <i>Buck-Boost</i>	57
2.4.1	Operação dos inversores	57
2.4.2	Esforços de tensão e corrente nas chaves	61
2.5	Análise das Topologias dos Tipos <i>Boost</i> e <i>Buck-Boost</i>	62
2.5.1	Escolha dos parâmetros dos conversores	62
2.5.2	Metodologia para o cálculo do rendimento	63
2.5.3	Comparação entre as topologias	64
2.6	Ondulações de Corrente e Tensão dos Componentes do TSTS tipo <i>buck- boost</i>	66
2.7	Conclusão	68
3	MODELAGEM E CONTROLE DO INVERSOR BUCK-BOOST MONOFÁSICO DE TRÊS ESTADOS COM TRÊS CHAVES	70
3.1	Modelagem Dinâmica	70
3.2	Modelagem em Pequenos Sinais	78
3.3	Definição dos Componentes do Conversor	87
3.4	Projeto de Controle do Conversor Monofásico	93
3.4.1	Definição do ponto de equilíbrio utilizado no controle	94
3.4.2	Controle da tensão V_{bb}	96

3.4.3	Controle da tensão V_o	100
3.4.4	Compensação do valor c.c. em V_o	104
3.5	Resultados de Simulação	105
3.6	Conclusão	106
4	INVERSORES FONTE Z TRIFÁSICOS DE TRÊS ESTADOS	110
4.1	Inversor com Nove Chaves	110
4.1.1	Modelagem do inversor com nove chaves	113
4.1.2	Inversor com nove chaves com controle	114
4.2	Inversor com Sete Chaves	116
4.2.1	Inversor com sete chaves e indutores extras (L_E)	119
4.2.2	Modelagem do inversor com sete chaves	122
4.2.3	Inversor com sete chaves e indutores extras com controle	127
4.3	Conexão do Inversor com Sete Chaves à rede	128
4.4	Resultados Experimentais	129
4.4.1	Resultado experimental em malha aberta	133
4.4.2	Resultado experimental em malha fechada	136
4.5	Conclusão	138
5	CONCLUSÃO E TRABALHOS FUTUROS	149
5.1	Trabalhos Futuros	150
	REFERÊNCIAS	151

1 INTRODUÇÃO

Desde o final do século XIX até a metade do século XX, a energia elétrica cresceu ao ponto da sociedade passar a ser totalmente dependente do seu uso para vários fins que se estendem desde transporte ao lazer. Inicialmente, as fontes geradoras de energia se restringiam a queima de carvão mineral e de combustíveis fósseis. Isso foi uma das causas do aparecimento de altos níveis de poluição, ocasionada pelos gases emitidos na queima. No início do século XXI, a demanda de energia elétrica no mundo estimulou uma geração de aproximadamente 15.000 TWh. Em 2030, essa demanda deverá alcançar 30.000 TWh (ADMINISTRATION, 2007). As fontes de energia utilizadas são principalmente: carvão, gás natural, energia nuclear, petróleo e energia hidrelétrica. Tradicionalmente, todas estas fontes de energia são geradas a partir de usinas de grande capacidade de geração. Considerando o crescimento mundial do consumo de energia, é digno observar que essas plantas em larga escala são necessárias para lidar com o crescimento da demanda de energia. No entanto, quando olha-se para o futuro, todos os tipos de plantas têm seus próprios conjuntos de problemas (PUTTGEN; MACGREGOR, 2003). Por exemplo, o local de instalação de uma usina hidroelétrica é orientado pela geografia de uma determinada região e muitas vezes isso significa desocupação da mesma para construção de um reservatório de água, afetando permanentemente a ecologia do local. Além disso, a identificação de possíveis novos locais mais próximos aos centros de alta demanda de energia está se tornando cada vez mais difícil. No que diz respeito às usinas nucleares e as termoeletricas, várias tecnologias têm sido desenvolvidas para torná-las mais limpas e seguras. No entanto, as usinas termoeletricas permanecem com problemas de poluição e, além disso, a segurança nas instalações das centrais nucleares é uma questão preocupante (PUTTGEN; MACGREGOR, 2003). Outros problemas podem ser associados às plantas de larga escala. Por exemplo, elas são dependentes de um número muito limitado de fontes de energia e como elas são normalmente instaladas longe do consumidor final, a energia elétrica produzida deve ser transportada por longas distâncias, o que muitas vezes se traduz em perdas no sistema de transmissão e distribuição. A necessidade de uma maior malha de transmissão também acarreta uma menor confiabilidade, devido maior susceptibilidade à falha.

Portanto, as preocupações em relação a esse cenário têm aumentado bastante o interesse em soluções baseadas na geração distribuída. Basicamente, geração distribuída significa geração por meio de plantas em pequena escala instaladas perto ou no local de utilização da energia final. Essas plantas possuem potências de alguns kilowatts e podem ser compostas por diversas tecnologias, tais como: pequenas centrais hidroelétricas, sistemas de energia eólica, painéis fotovoltaicos (FV) ou até células de combustível. Um maior número de plantas de geração em um sistema elétrico pode suscitar preocupações, por exemplo, quanto a:

- Dificuldades para manter um parque de geração mais difuso e diverso;
- Fluxo de carga e estabilidade na rede, considerando às diversas micro-plantas inseridas.

A despeito das dificuldades, em comparação às plantas em larga escala, os sistemas de geração distribuída têm várias vantagens, que podem ser resumidas como segue:

- Uma vez que eles estão instalados perto de suas cargas, as perdas de energia através da transmissão e redes de distribuição são evitadas. Na verdade, também as despesas na construção de linhas de energia adicionais podem ser evitadas;
- Sistemas de geração distribuída caracterizam-se por serem modulares, o que significa que os mesmos podem ser atualizados em função da demanda de energia de maneira mais rápida que às grandes plantas. Além disso, eles podem ser compostos por diferentes tecnologias, formando um sistema mais flexível;
- Podem oferecer benefícios ao cliente como maior confiabilidade e flexibilidade para se contraporem às oscilações do preço da eletricidade. Da mesma maneira, esses sistemas podem também ser adquiridos diretamente pelos clientes finais, possibilitando novos acordos entre empresas e consumidores.

1.1 Energia Solar Fotovoltaica

Nesse cenário, políticos e pesquisadores começaram a buscar alternativas de geração por fontes renováveis. Dentre estas fontes, os sistemas FV têm se destacado no cenário mundial como uma das fontes com maior crescimento em potência instalada (TOLMASQUIM; GUERREIRO; FARIAS, 2012). Apesar dos maciços investimentos em sistemas FV em todo o mundo, há muitas críticas a respeito do seu alto custo de instalação, que é refletido no valor do kWh pago pelo consumidor. Este alto custo, em grande parte, está relacionado à baixa rendimento do processo de conversão FV, que é o processo de conversão da energia solar em energia elétrica através de células de materiais semicondutores. Entretanto, desde o surgimento das primeiras células solares em 1953, que possuíam um rendimento entre 4% e 6%, vários pesquisadores e empresas têm desenvolvido células mais eficientes, acarretando em decréscimo dos custos dos painéis FV.

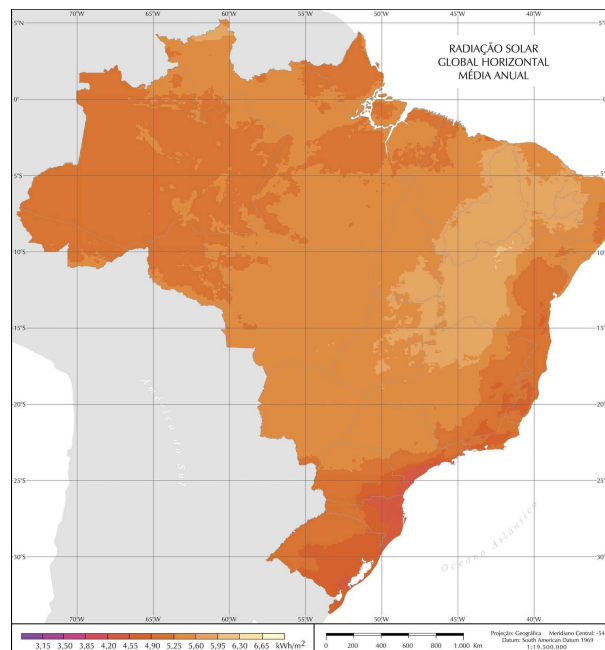
A composição dos custos de um sistema FV dependerá da filosofia adotada e do tamanho do sistema (NAKABAYASHI, 2014), sendo o painel fotovoltaico responsável pelo maior peso das aquisições, quase sempre. Estudos mostravam que, em 2011, os painéis solares equivaliam a 60% do custo de implantação de uma planta solar, inversores a 10% e o restante dos investimentos equivaleria aos custos de engenharia, estrutura, cabos, conexões e montagem (TOLMASQUIM; GUERREIRO; FARIAS, 2012). Estudos mais recentes mostram que os custos dos painéis podem variar entre 34% e 13% e dos inversores entre 21% e 14% dos custos totais de implantação, se

considerarmos sistemas até 5 kWp e maiores que 10 kWp , respectivamente (NAKABAYASHI, 2014).

Sendo assim, mesmo a diminuição dos custos ocorridas nos últimos anos devido ao fator de escala, o painel ainda é o fator preponderante para viabilidade de implantação, seguido pelo inversor.

A energia solar FV é uma modalidade de energia elétrica utilizada em larga escala em países como China, Alemanha, Japão e Estados Unidos. A sua evolução tem se dado de maneira bastante rápida pela redução acentuada de seu custo de produção ao longo dos últimos 20 anos, o que vem tornando viável a sua aplicação mesmo em locais que já contam com energia elétrica convencional. Segundo o Plano Decenal de Expansão de Energia 2022 (PDE 2022) (FILHO et al., 2013), a energia solar no território brasileiro tem elevado potencial de expansão, em comparação com os países europeus que mais exploram esta fonte, como Alemanha, Itália, Reino Unido, França e Espanha. Nesses países os valores potenciais de energia extraída média são inferiores aos valores potenciais do Brasil, que possui uma irradiação global média entre $4,20$ e $6,65\text{ kWh/m}^2$ ao ano (Figura 1).

Figura 1 – Irradiância global média anual.



Fonte: (PEREIRA et al., 2006).

1.2 Inversores para Sistemas Fotovoltaicos sem Transformador

Os painéis FV têm características elétricas de saída diferentes em relação à rede de distribuição de energia elétrica e por essa razão conversores eletrônicos são utilizados para

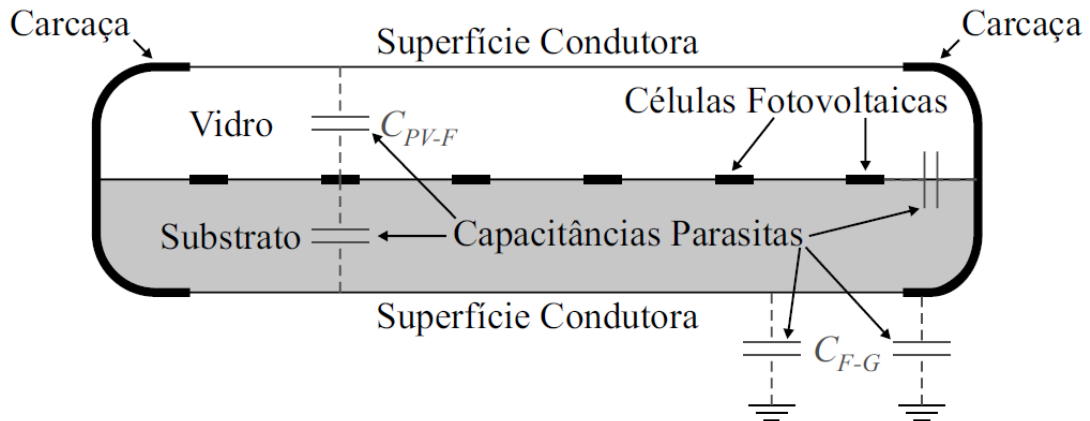
conectar essa fonte de energia à rede. Os painéis geram uma tensão em corrente contínua (c.c.) de baixa amplitude, sendo impossível conectá-los diretamente à rede porque a mesma possui características diferentes (usualmente tensão c.a. de alto valor eficaz). Nesse caso, um conversor deve ser instalado entre o sistema de geração (painel FV) e a rede. Basicamente, esse conversor possui duas funções: (1) transformar a tensão gerada no painel de c.c. para c.a. e (2) aumentar sua amplitude. Fazendo isso, tem-se uma tensão compatível com a rede e os conversores usados neste tipo de sistema atuam como interface entre os painéis e a rede.

Existem, no entanto, diversas questões quanto à concepção desses conversores. Os mesmos pode possuir um ou mais estágios de conversão e podem ser ainda monofásicos ou trifásicos. Quanto ao número de fases, é oportuno evidenciar que a maioria dos sistemas FV instalados no mundo é monofásica de baixa potência, atingindo poucos kW de potência nominal, pois para valores mais elevados de potência, o custo se torna proibitivo (BLAABJERG et al., 2006), (PIGAZO; DELLAQUILA; MORENO, 2006). No entanto, no sistema monofásico, há uma potência pulsada na saída do inversor, assim como na sua entrada, e, por isso, existe, geralmente, a necessidade de capacitores eletrolíticos de elevada capacitância, impactando num aumento de volume do conversor utilizado entre o painel e a rede, tornando o sistema menos compacto, menos eficiente e em alguns casos mais oneroso. Por outro lado, em sistemas trifásicos a potência de saída é praticamente, o que permite a mitigação dos problemas relacionados anteriormente, possibilitando ainda uma maior vida útil do inversor (OLIVEIRA, 2012).

No que diz respeito ao número de estágios de um conversor, em geral se constroem sistemas com um ou com múltiplos estágios de conversão. No caso da conversão em um único estágio, normalmente, o conversor realiza a transformação da tensão de c.c. para c.a. e um transformador é responsável por elevar o nível de tensão da saída do conversor compatibilizando-a com a rede. No caso de uma conversão em múltiplos estágios, muitas topologias possuem um conversor que controla a tensão no barramento c.c. associado em série com um inversor, responsável pela transformação c.c. para c.a., além de um transformador, em alguns casos, que eleva a tensão de saída, isolando os painéis e inversor da rede. Podem-se utilizar transformadores em baixa frequência ou em alta frequência, mas é importante enfatizar que um transformador projetado em baixa frequência, quando comparado ao de alta frequência, tem grande tamanho, peso sendo oneroso. Já o transformador em alta frequência pode ser usado em sistemas FV de múltiplos estágios de conversão. Tais estágios em cascata podem reduzir o rendimento e tornam o sistema mais complexo (CAVALCANTI et al., 2005)-(CAVALCANTI et al., 2014).

Segundo a Agência Nacional de Energia Elétrica (ANEEL) (ANEEL, 2015), para sistemas abaixo de 75 kW é possível remover o transformador com o intuito de reduzir as perdas, o custo, o tamanho e o peso do sistema FV (OLIVEIRA, 2012). Entretanto, ao usar topologias de sistemas FV sem transformador alguns cuidados devem ser tomados em relação à segurança e à qualidade da energia fornecida. Sem transformador, os painéis FV não terão isolamento galvânica e haverá risco de choque elétrico caso suas partes metálicas, como por exemplo, a carcaça, não

Figura 2 – Representação das capacitâncias parasitas em um painel FV .



Fonte: (BRADASCHIA, 2012).

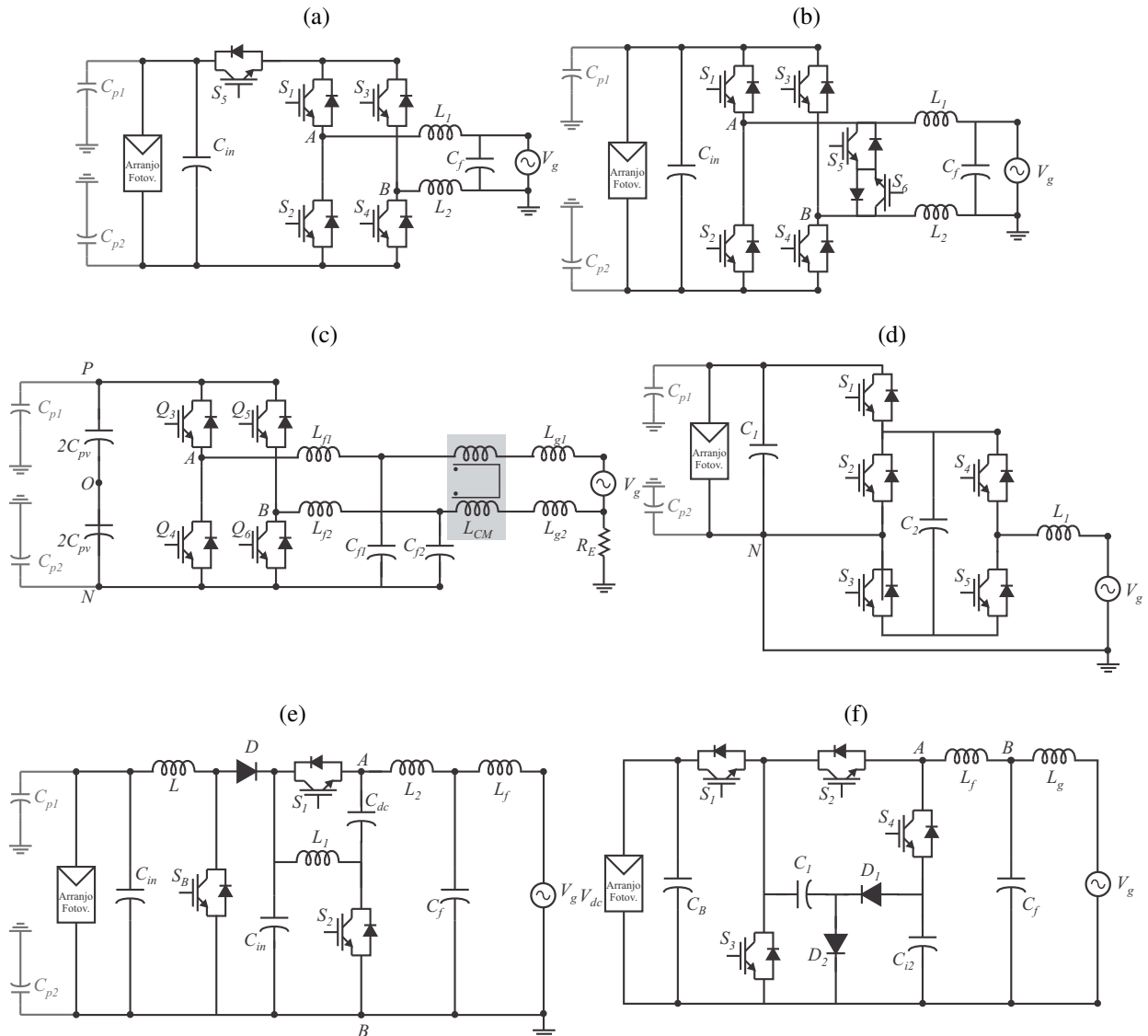
estiverem aterradas. Assim, por segurança, as partes metálicas dos painéis em sistemas FV sem transformador devem estar aterradas de forma a atenderem a *NBR – 5410* (ABNT, 2004).

Ocorre que os painéis FV comerciais possuem suas molduras externas metálicas, responsáveis pela proteção de suas células FV e estruturação do painel (vidro, substrato e outros) como um todo. Como os painéis possuem uma grande área superficial, de forma a possibilitar uma maior captação de energia, surgem capacitâncias parasitas entre as células FV e sua carcaça metálica, bem como entre as células FV e as superfícies condutoras (C_{FV-F}), conforme pode ser visto na Figura 2. Assim, tensões nas células FV são induzidas na carcaça e nas superfícies dos painéis não aterradas. Devido a esta tensão induzida, surgem também capacitâncias parasitas entre a carcaça e o solo e entre as superfícies condutoras e o solo (C_{F-G}). Os valores dessas capacitâncias podem variar em decorrência da: Área das superfícies e da carcaça do painel, Distância entre as células FV e às superfícies e entre as superfícies/carcaça e o solo, além das condições ambientais. Embora fisicamente as capacitâncias parasitas sejam fenômenos distribuídos ao longo do arranjo FV, elas podem ser representadas por capacitâncias concentradas nos pontos P e N do barramento c.c. (C_P), simplesmente através do paralelismo das capacitâncias parasitas individuais, ou seja, pela soma dos valores das capacitâncias (BRADASCHIA, 2012).

Portanto, o Aterramento das carcaças dos painéis FV proporcionam um caminho para circulação das correntes de fuga, através das capacitâncias parasitas do painel FV mostrados na Figura 2. Devido a estas capacitâncias, e dependendo da topologia do inversor, flutuações do potencial entre o painel e a terra podem aparecer. Isso leva a um aumento das correntes de fuga circulantes pelo sistema FV, a rede e o aterramento (FERRAZ, 2012), (BRADASCHIA, 2012). Essas correntes de fuga podem causar distorção da corrente na rede, atuação indevida de proteções e perdas no sistema (LOPEZ et al., 2007).

Algumas possibilidades de inversores monofásicos aplicados a sistemas FV sem

Figura 3 – Topologias monofásicas de inversor FV sem transformador: (a) H5; (b) HERIC; (c) Com eliminação da potência pulsante; (d) Barramento c.c. virtual; (e) Inversor de modo comum; (f) *Charge pump circuit*.



Fontes: (a), (b) e (c) (TANG et al., 2009); (d) (GU et al., 2013); (e) (VÁZQUEZ et al., 2015); (f) (ARDASHIR et al., 2017)..

transformador são baseadas no inversor em ponte completa, usando chaves extras para melhorar o desempenho do sistema em relação à corrente de fuga (OLIVEIRA, 2012). Dois exemplos desses inversores são a topologia chamada de H5, que usa uma chave extra no lado c.c. para desacoplar o arranjo FV da rede durante a tensão nula (Figura 3a) e a topologia chamada de HERIC (*Highly Efficiency and Reliable Inverter Concept*), que usa duas chaves extras no lado c.a. (Figura 3b). Os inversores H5 e HERIC apresentam tensão de modo comum senoidal na frequência da rede, implicando baixa corrente de fuga e baixa interferência eletromagnética. Entretanto, as duas topologias apresentam ondulação (*ripple*) na corrente à frequência de chaveamento,

implicando em um filtro de saída volumoso (OLIVEIRA, 2012). Uma variação da topologia HERIC, chamada de *Zero-Voltage-Transition* HERIC foi proposta integrando circuito ressonante com chaves de roda livre (XIAO; ZHANG; LI, 2017). Isso permite um chaveamento suave (com tensão nula) em alta frequência e com corrente de fuga reduzida.

Outra proposta de topologia monofásica também derivada do inversor em ponte completa, usa um filtro LC na saída (TANG et al., 2016) (Figura 3c). O filtro LC é dividido em duas partes idênticas. A corrente de fuga causada pelas capacitâncias parasitas painel-terra pode ser evitada pela introdução de um caminho de circulação da corrente de modo comum, a partir da conexão do ponto central dos dois capacitores ao negativo do barramento c.c.. Esse inversor é capaz de eliminar a potência pulsada na sua saída, sendo possível melhorar a confiabilidade do sistema FV ao usar capacitores de filme em vez de capacitores eletrolíticos.

Outra solução para eliminar a corrente de fuga é a conexão direta do terminal negativo do arranjo FV ao neutro da rede, como por exemplo o inversor com barramento c.c. virtual (GU et al., 2013) (Figura 3d), o inversor de modo comum (VÁZQUEZ et al., 2015) (Figura 3e) e o inversor com *charge pump circuit* (ARDASHIR et al., 2017) (Figura 3f). Nessas topologias, conhecidas como *dual-ground* ou aterramento duplo, a corrente de fuga é praticamente eliminada uma vez que o polo negativo do arranjo FV está conectado diretamente ao neutro da rede elétrica. Portanto, a tensão em que as capacitâncias parasitas estão submetidas é praticamente constante, podendo surgir, apenas, tensões em baixa frequência.

A topologia com barramento c.c. virtual tem apenas um filtro na saída do inversor, mas o filtro é muito volumoso. A principal desvantagem dessa topologia é a ausência de caminho para carregar o capacitor C_2 durante o ciclo negativo da tensão da rede (Figura 3d), causando alta distorção harmônica na saída (GU et al., 2013). A topologia de inversor de modo comum (Figura 3e) tem poucos elementos semicondutores. Entretanto, a tensão de saída do inversor tem apenas dois níveis (positivo e negativo), apresentando *ripple* de chaveamento na corrente igual a frequência de chaveamento e implicando em um filtro de saída volumoso (VÁZQUEZ et al., 2015).

O outro inversor FV que usa a conexão direta do terminal negativo do arranjo FV ao neutro da rede foi proposto em (ARDASHIR et al., 2017). Essa topologia usa o conceito de *Charge pump circuit* (Figura 3f) e as principais vantagens desse inversor são: tamanho compacto e baixo custo. Um estudo que investiga o impacto da corrente de fuga e o rendimento a partir da escolha das chaves semicondutoras para algumas topologias monofásicas sem transformador é apresentado em (ARDASHIR et al., 2017), (JEDTBERG et al., 2017).

Os inversores mostrados nas figuras 3e e 3f se mostram interessantes a primeira vista, porém não possuem característica *boost*. Portanto, o fato das topologias utilizadas no desenvolvimento dessa tese, detalhadas mais a frente, possuírem características *boost* ou *buck-boost*, fez com que os inversores propostos em (VÁZQUEZ et al., 2015) e (ARDASHIR et al.,

2017) não fossem considerados para esse trabalho.

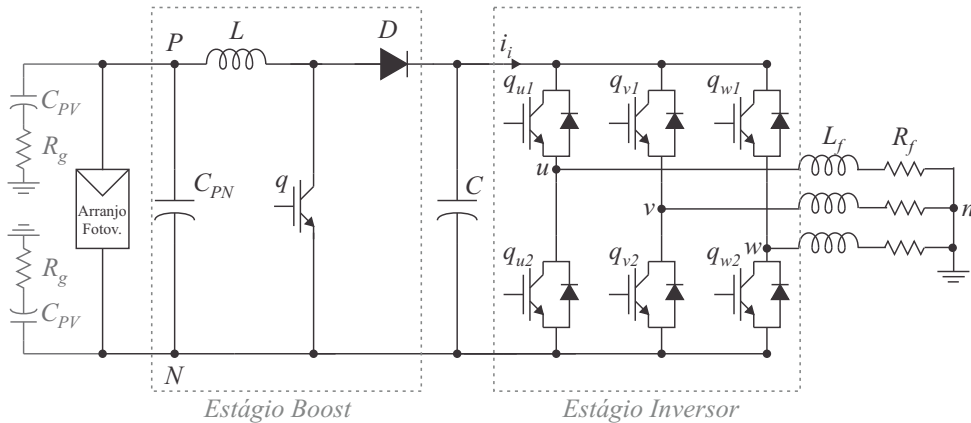
No caso de sistemas trifásicos, o inversor fonte de tensão (*Voltage Source Inverter - VSI*) de dois níveis é o inversor mais difundido na indústria. Entretanto, as suas técnicas de modulação por largura de pulso (*Pulse Width Modulation - PWM*) convencionais, como a vetorial e a senoidal, produzem tensões de modo-comum em alta frequência e, devido ao circuito de modo-comum formado por este tipo de sistema conectado à rede sem transformador em conjunto com as partes metálicas dos painéis aterrados, geram correntes de fuga em sistemas FV sem transformador (FERRAZ, 2012). Logo, não são adequadas para este tipo de aplicação. Técnicas de PWM alternativas foram desenvolvidas para o VSI visando eliminar as componentes de alta frequência da tensão de modo comum e, assim, reduzir a corrente de fuga neste tipo de sistema FV. Ao evitar vetores nulos, o PWM com estado zero ativo (*Active Zero PWM - AZPWM*) e o PWM com estado remoto (*Remote State PWM - RSPWM*) foram propostos para manter a tensão de modo comum constante, reduzindo a corrente de fuga (CAVALCANTI et al., 2010), (HOU et al., 2013). Entretanto, essas técnicas se concentraram apenas na redução da corrente de fuga, não levando em conta o desempenho global do inversor FV. Nessas técnicas de PWM, a faixa de linearidade da tensão de saída e o rendimento do inversor acabam sendo prejudicados (FREDDY et al., 2015).

Recentemente, um inversor trifásico sem transformador baseado no VSI, chamado de inversor H7, foi proposto em conjunto com uma técnica de PWM apropriada (FREDDY et al., 2015). Com essa topologia, a corrente de fuga pode ser reduzida, preservando alta linearidade de tensão, baixa ondulação (*ripple*) da corrente na rede e baixa distorção harmônica. Entretanto, a redução da corrente de fuga pode não ser o suficiente para garantir o atendimento à norma IEC 62109-2 (IEC, 2011) que especifica limites para o valor de corrente de fuga em sistemas FV aterrados e sem transformador (FREDDY et al., 2015). Uma alternativa, baseada no inversor fonte de corrente, chamado de CH7, também usa apenas uma chave semicondutora adicional, conseguiu reduzir bastante a corrente de fuga a partir de modulação vetorial adequada (GUO, 2017). Técnicas de modulação para inversores multinível sem transformador usando uma técnica vetorial apropriada também podem ser aplicadas para a redução da corrente de fuga em sistemas FV trifásicos, conforme proposto em (CAVALCANTI et al., 2012).

É válido observar que tais inversores sem transformador e com baixa corrente de fuga necessitam de um grande número de módulos FV em série ou um conversor elevador de tensão, de forma a manter o nível de tensão do barramento c.c. adequado para transferir a energia do arranjo FV para a rede. Todavia, em arranjos FV formados por um grande número de painéis em série, a ocorrência de sobreamento parcial nos módulos, por nuvens, edifícios ou grandes objetos, ou, a incompatibilidade entre os módulos ou caso algum módulo venha a falhar, levará a uma redução da tensão produzida no barramento c.c. de forma que possa não ser suficiente para a conexão com a rede (BRADASCHIA et al., 2013), (GARCIA et al., 2008).

Este problema pode ser resolvido usando configurações em que a elevação de tensão

Figura 4 – Conversor de dois estágios para sistemas FV sem transformador.



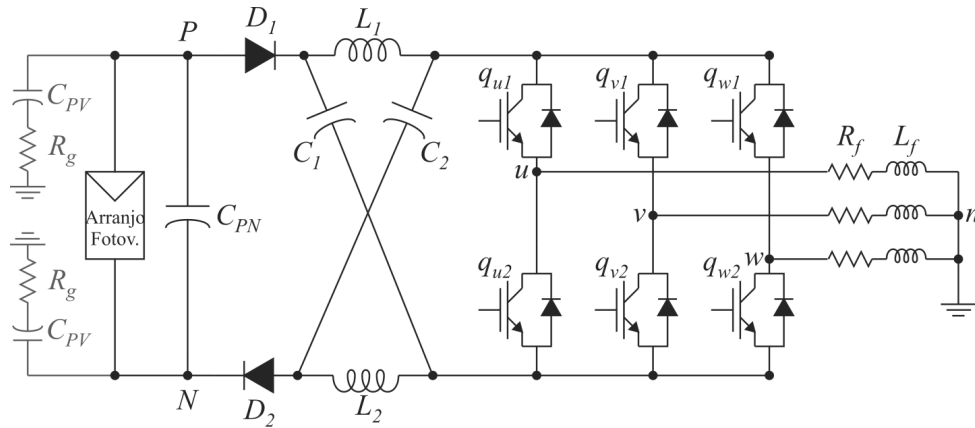
Fonte: (FERRAZ et al., 2011).

requerida é obtida com um conversor de dois estágios (Figura 4), composto de um conversor c.c.-c.c. elevador (*boost*) de tensão em cascata com o VSI de dois níveis (FERRAZ et al., 2011). O conversor *boost* permite que se mantenha uma tensão c.c. fixa e de valor elevado no barramento c.c. mesmo que a tensão do arranjo FV flutue e varie ao longo do dia. Além disso, o conversor *boost* é responsável por realizar o seguimento do ponto de máxima potência (*Maximum Power Point Tracking* - MPPT) no arranjo FV.

A questão da elevação de tensão do arranjo FV para a rede também pode ser resolvida usando configurações de um único estágio, como é o caso do inversor fonte Z (*Z-Source Inverter* - ZSI) (PENG, 2003), (TANG et al., 2009). Alguns autores demonstraram que o número de componentes de chaveamento e o volume do sistema podem ser reduzidos, podendo-se conseguir a diminuição do custo total do ZSI (SHEN et al., 2005). Apesar de ser capaz de elevar a tensão e realizar a inversão em um único estágio, o ZSI originalmente proposto em (PENG, 2003) apresenta rendimento relativamente baixo (BRADASCHIA et al., 2013). Além disso, estudos mostram que o uso do ZSI para sistemas FV trifásicos sem transformador gera correntes de fuga (CAVALCANTI et al., 2014).

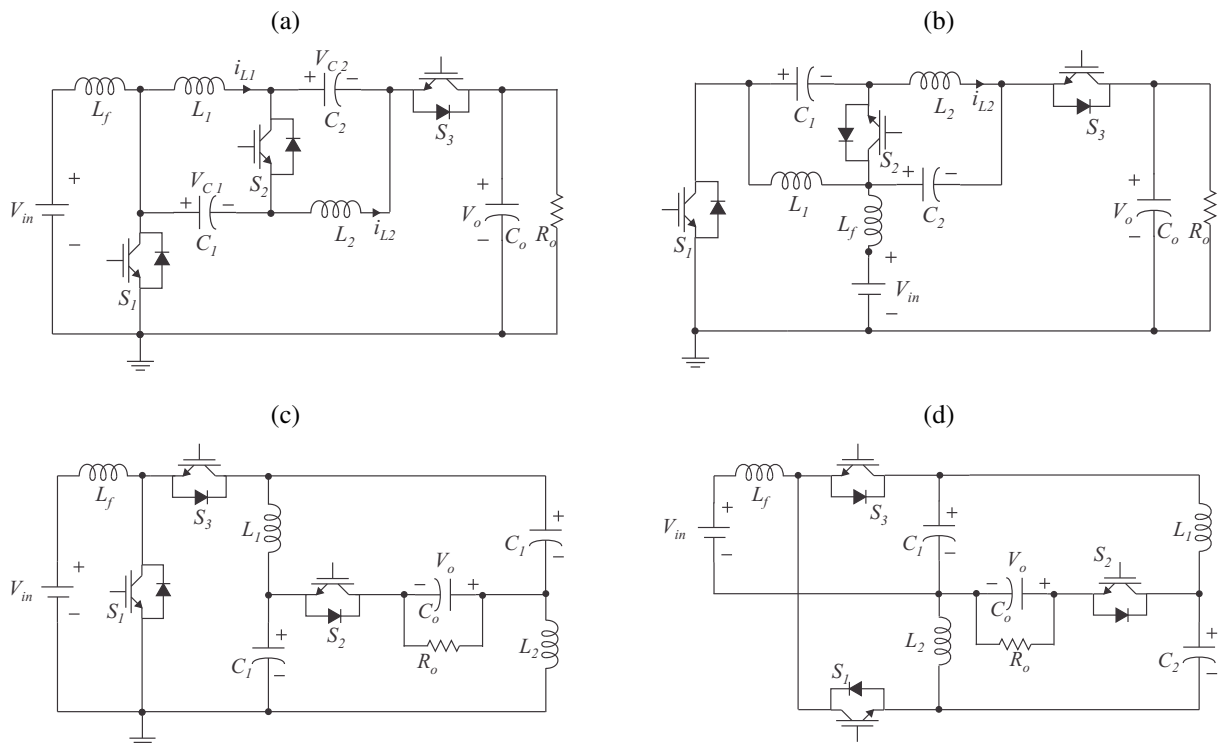
Com a intenção de reduzir as correntes de fuga presentes nos sistemas FV sem transformador, é necessário manter a tensão de modo comum constante no inversor (CAVALCANTI et al., 2010). Uma solução possível em (BRADASCHIA et al., 2011) acrescenta um diodo de rápida recuperação na malha de impedância do ZSI (Figura 5), com a finalidade de impedir a circulação da corrente de fuga durante os estados de curto-circuito (fechamento de duas chaves de um mesmo braço), além de aplicar uma técnica de modulação modificada, que mantém constante a tensão de modo comum durante o período onde não é aplicado curto-circuito no ZSI. Todas as equações referentes ao modo de operação do ZSI também se aplicam ao ZSI com diodo extra, ou seja, aplicando o mesmo tempo de curto-circuito, o ganho de tensão (*boost*) e a tensão de saída serão os mesmos para as duas topologias. Ao operar no estado de curto-circuito, D_2

Figura 5 – Inversor fonte Z com diodo extra para sistemas FV sem transformador.



Fonte: (BRADASCHIA et al., 2011).

Figura 6 – Família TSTS-ZSIs com entrada do tipo boost propostas em (HUANG et al., 2013).

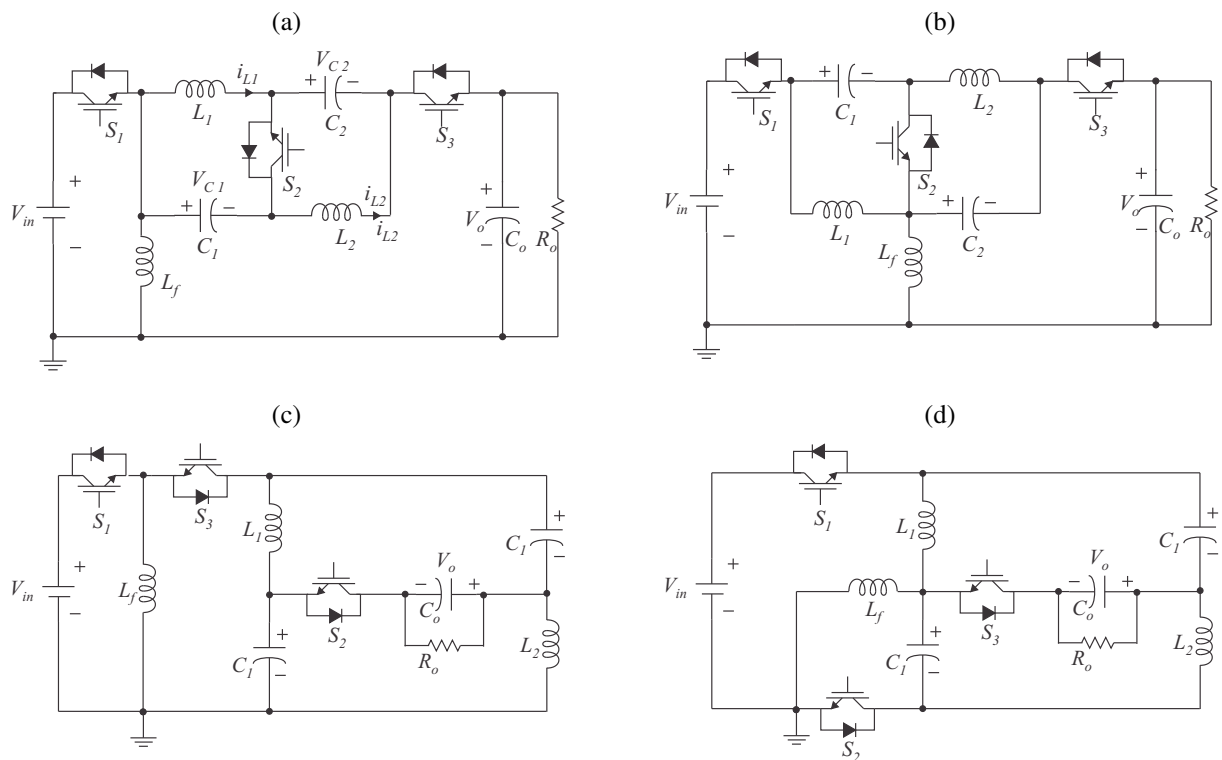


Fonte: (HUANG et al., 2013).

ficará reversamente polarizado (Figura 5), desacoplando o sistema FV da malha de impedâncias do inversor. Assim, qualquer variação na tensão de modo comum ao aplicar o curto-circuito não terá efeito na corrente de fuga do sistema. Entretanto, um estudo feito em (BRADASCHIA et al., 2013) mostra que a ideia proposta em (BRADASCHIA et al., 2011) faz com que o conversor tenha perdas elevadas, reduzindo o rendimento do sistema FV.

Baseada no ZSI, uma família de inversores monofásicos de três chaves com três estados (*Three-Switch Three-State ZSI - TSTS-ZSI*) foi proposta em (HUANG et al., 2013) (Figura 6 e Figura 7), apresentando maior rendimento que o ZSI monofásico e que o conversor de dois estágios (conversor cc.-c.c boost em cascata com um VSI). Algumas das topologias TSTS-ZSI possuem como vantagem adicional, especialmente útil para sistemas FV sem transformador, o aterramento duplo (*dual-grounding*). Nesse caso, o ponto de neutro da rede e o ponto negativo do barramento c.c. são aterrados, ou seja, a entrada e a saída da topologia compartilham o mesmo ponto de terra (Figura 6(a-c) e Figura 7(a-b)). O problema da corrente de fuga para aplicações FV é bastante atenuado quando são usadas topologias com a característica de aterramento duplo (HUANG et al., 2013).

Figura 7 – Família TSTS-ZSIs com entrada do tipo *buck-boost* propostas em (HUANG et al., 2013).



Fonte: (HUANG et al., 2013).

1.3 Motivação e Objetivos da Tese de Doutorado

Considerando as características de bom rendimento, de inversão e elevação de tensão em um único estágio e de baixa corrente de fuga para sistemas FV sem transformador, fica clara a importância de se aprofundar no estudo das topologias TSTS-ZSI. Na revisão bibliográfica realizada observa-se que não existe qualquer trabalho sobre os seguintes temas:

- Modelo das topologias monofásicas;
- Controle em malha fechada das topologias monofásicas TSTS-ZSI;
- Adaptação das topologias monofásicas para versões trifásicas;
- Conexão dessas topologias à rede elétrica;
- Redução do número de chaves da topologia trifásica.

Portanto, esta é a motivação que leva ao desenvolvimento de todos os temas (itens) citados anteriormente no trabalho proposto.

Esta motivação também leva ao objetivo geral desta Tese de Doutorado, que consiste em propor um sistema trifásico sem transformador, com aterramento duplo e com baixa corrente de fuga baseado na família TSTS-ZSI.

Para alcançar o objetivo geral é necessário elencar os seguintes objetivos específicos:

- Modelar o TSTS-ZSI monofásico com aterramento duplo e que possuir melhor rendimento;
- Controlar em malha fechada o TSTS-ZSI monofásico escolhido;
- Derivar uma versão trifásica (nove chaves) a partir do TSTS-ZSI monofásico escolhido;
- Propor uma variação trifásica com menos semicondutores (sete chaves), visando redução de custo;
- Controlar e conectar à rede as variações trifásicas com nove e sete chaves.

1.4 Organização da Tese de Doutorado

Este trabalho é dividido nos seguintes capítulos:

- Capítulo 2 - É detalhado o desenvolvimento da família TSTS-ZSI monofásica proposta em (HUANG et al., 2013). São abordados: vantagens, circuito equivalente, princípio de funcionamento e característica *buck-boost*. Também é feito todo o desenvolvimento dos modelos matemáticos com base em equações estáticas (em regime permanente). A topologia a ser estudada detalhadamente nos capítulos seguintes é escolhida com base no melhor rendimento, dentre as topologias monofásicas da família TSTS-ZSI.
- Capítulo 3 - É deduzido o modelo dinâmico com o objetivo de propor uma estratégia de controle da tensão de saída e do ganho *boost* do conversor escolhido. A definição dos componentes do conversor (indutores e capacitores) é realizada analisando-se o lugar das raízes, em torno de valores de referência, para cada componente. O projeto do sistema de

controle é realizado usando o lugar geométrico das raízes, com o auxílio da resposta ao degrau do sistema.

- Capítulo 4 - São apresentadas duas topologias trifásicas propostas a partir da família TSTS-ZSI monofásica, com o objetivo de reduzir as correntes de fuga em sistemas FV aterrados e sem transformador. A primeira topologia é deduzida a partir da associação de três inversores monofásicos, sendo um para cada fase, porém essa topologia apresenta nove chaves. Para reduzir a quantidade de chaves a fim de buscar uma redução de custo e simplificação dos circuitos, observa-se que podem ser eliminadas duas das chaves sem que haja prejuízo da topologia trifásica estudada. Dessa forma, a segunda proposta é a de um inversor com sete chaves. Análise, projeto e resultados de simulação e experimentais são apresentados para comprovação da proposta.
- Capítulo 5 - São apresentadas as conclusões gerais e as sugestões para trabalhos futuros.

2 INVERSORES FONTE Z MONOFÁSICOS DE TRÊS ESTADOS COM TRÊS CHAVES

Os VSIs - *Voltage Source Inverter* de dois níveis são amplamente utilizados na indústria em acionamento de motores (LI; WOLFS, 2008), micro-geração e fontes ininterruptas de energia (XUE et al., 2004). Uma das características do VSI é ter a tensão de entrada do barramento c.c. sempre maior que a tensão de saída c.a.. Em aplicações que necessitem de tensões c.a. ora maiores ora menores que a tensão c.c., a solução comumente adotada é acrescentar um conversor elevador (*boost*) de tensão antes do inversor, permitindo o controle da tensão do barramento c.c..

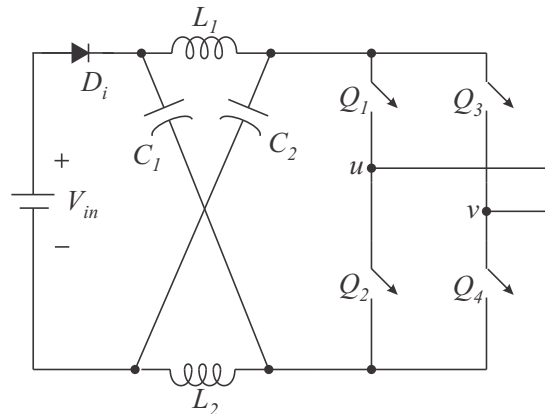
Alternativamente à conexão cascata de um conversor *boost* com o VSI, ao longo dos anos vêm sendo propostas algumas topologias que incorporam a função de inversão com elevação de tensão em um único estágio (LI; WOLFS, 2008), (XUE et al., 2004). Uma das topologias com essas características é o inversor fonte de impedância ZSI (PENG, 2003). Tal inversor substitui o barramento c.c. convencional do VSI por um diodo em série com dois indutores e dois capacitores, conforme pode ser visto na Figura 8. Esse conjunto formado pelo diodo, os dois indutores e os dois capacitores é chamado de malha Z (Z significando malha de impedância) e é o responsável por realizar a elevação da tensão c.c. de entrada sem necessidade de chaves adicionais.

Nos últimos anos, as pesquisas relacionadas ao ZSI se concentraram no desenvolvimento de técnicas de PWM (LI; WOLFS, 2008), (XUE et al., 2004) e na proposta de topologias alternativas baseada no ZSI convencional (PENG, 2003)-(NGUYEN; LIM; CHO, 2011).

Muitas das variações da topologia ZSI convencional acrescentam ou apenas modificam o posicionamento dos elementos a fim de obter: redução dos componentes passivos, melhor desempenho (ANDERSON, 2008), menor tempo de resposta à variação de carga (OTT et al., 2012), e bidirecionalidade para aplicações em veículos elétricos (CHUB O. HUSEV, 2014). A título apenas de exemplo duas dessas topologias, chamadas de *quasi-ZSI* (qZSI), podem ser vistas na Figura 9. Estas são caracterizadas pela disposição dos elementos da malha de impedâncias Z de maneiras diferentes a fim de se obter vantagens específicas (ANDERSON, 2008).

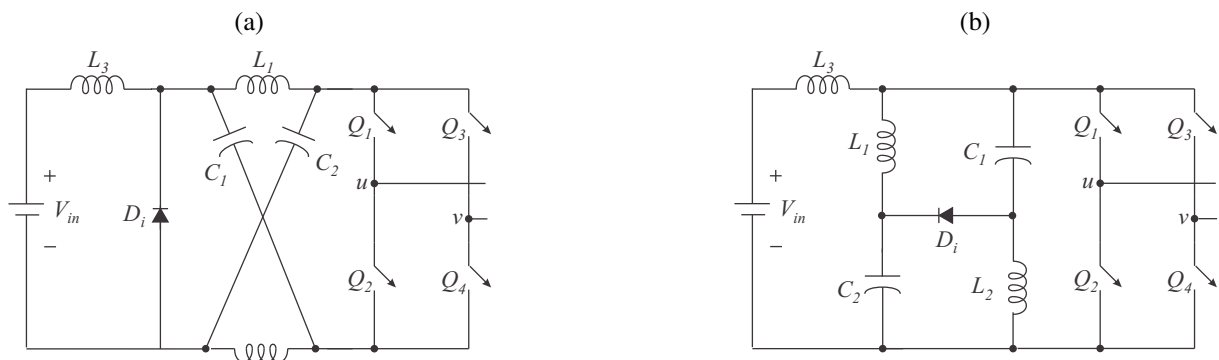
No sentido de se obter mais vantagens, algumas pesquisas incorporaram às topologias qZSI uma ou mais chaves, além dos elementos passivos já introduzidos. Tais derivações são conhecidas como *semi-ZSI* (DONG et al., 2011)-(BERKOVICH et al., 2007) e se caracterizam, basicamente, pela inserção dessas de maneira adjacente ou incorporadas à malha de impedâncias Z. Dentre os vários benefícios do *semi-ZSI* (dependendo da topologia) em comparação com o qZSI, pode-se citar: melhor rendimento, menor custo (DONG et al., 2011), redução da distorção harmônica de corrente (AHMED; SAAD; NAKAOKA, 2013), e bidirecionalidade (BERKOVICH et al., 2007).

Figura 8 – Topologia convencional de um ZSI.



Fonte: (PENG, 2003).

Figura 9 – Exemplos de topologias *quasi-ZSI* (qZSI).

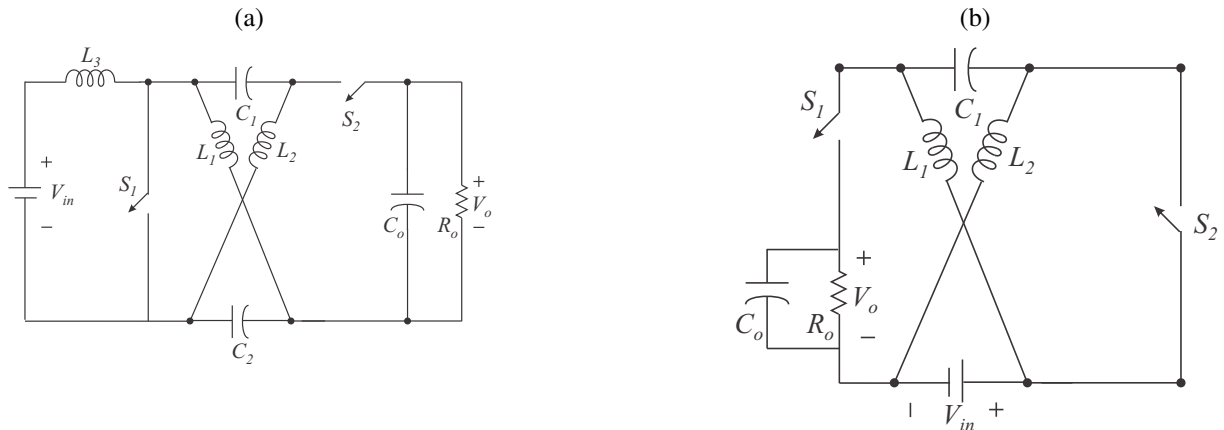


Fonte: (ANDERSON, 2008).

É importante ressaltar que, dos diversos artigos encontrados durante a revisão bibliográfica, observa-se que os mesmos se concentraram no desenvolvimento de topologias monofásicas. Um dos aspectos observados é a grande quantidade de topologias *semi-ZSI* monofásicas para aplicação em sistemas fotovoltaicos, conforme exemplos mostrados na Figura 10.

Das diversas topologias propostas na literatura que contêm o semi-ZSI, a família de inversores monofásicos de três estados com três chaves (*Three-Switch Three-State - TSTS*) se destaca por possuir valores de estresses de tensão baixos nos elementos do circuito e por alguns deles ainda terem a característica de aterramento duplo (*dual grounding*) (HUANG et al., 2013), ou seja, a entrada e a saída da topologia compartilham o mesmo ponto de terra. Essa característica é adequada para sistemas fotovoltaicos sem transformador, já que, considerando um aterramento ideal, elimina o problema da corrente de fuga, como visto no Capítulo 1. Além disso, a família proposta em (HUANG et al., 2013) apresenta maior rendimento que o ZSI monofásico

Figura 10 – Exemplos de topologias *semi-ZSI* (Y.TANG S. XIE, 2008).



Fonte: (AHMED; SAAD; NAKAOKA, 2013).

convencional. Portanto, espera-se que seja possível desenvolver uma variação trifásica desta topologia, mantendo características como bom rendimento e aterramento duplo, ideais para sistemas FV sem transformador.

Neste capítulo, faz-se uma descrição detalhada desses inversores monofásicos a fim de permitir o entendimento dos inversores trifásicos propostos no Capítulo 4.

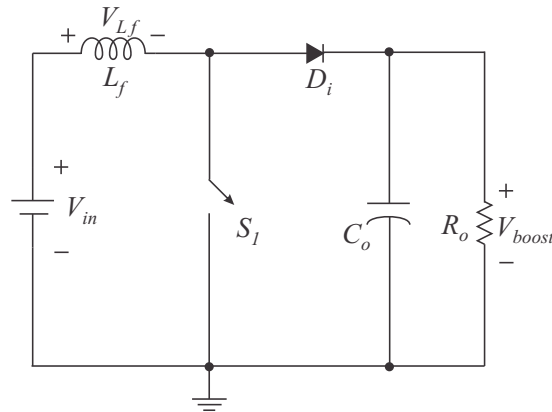
2.1 Conversor c.c.-c.c. com Duas Chaves Proposto em (BERKOVICH et al., 2007)

Apesar de não ser citado pelos autores em (HUANG et al., 2013), nota-se que o *semi-ZSI* utilizado nas topologias TSTS-*ZSI* teve sua origem em (BERKOVICH et al., 2007), (Y.TANG S. XIE, 2011).

O conversor proposto em (BERKOVICH et al., 2007) pode ser entendido como a união do conversor *boost* convencional (Figura 11) com uma malha de impedâncias *semi-Z* (Figura 12), tendo as mesmas características do *semi-ZSI* original. Esse conversor teve como objetivo propor uma solução *buck-boost* bidirecional para aplicações em sistemas que necessitem de regeneração de energia, como células a combustível e frenagem de motores, segundo (BERKOVICH et al., 2007).

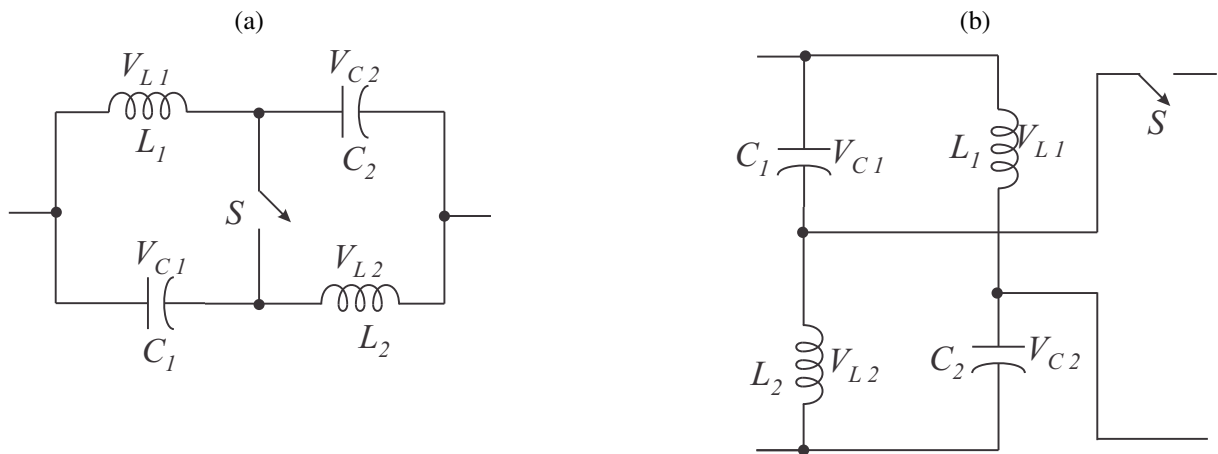
Duas malhas de impedâncias *semi-Z* (Figura 12) foram propostas em (BERKOVICH et al., 2007), e elas podem ser conectadas em série com o conversor *boost* (Figura 11). Substituindo o diodo D_i do conversor *boost* na Figura 11 pela malha de impedâncias na Figura 12a, obtém-se uma das topologias propostas em (BERKOVICH et al., 2007). Essa topologia é vista na Figura 13. Comparando-se o conversor proposto com um *buck-boost* convencional, com uma chave no lugar do diodo, têm-se o benefício de conseguir a operação em quatro quadrantes.

Figura 11 – Topologia convencional de um conversor *boost* c.c.-c.c..



Fonte: próprio autor.

Figura 12 – Malhas de impedâncias *semi-Z* propostas em (BERKOVICH et al., 2007).



Fonte: (BERKOVICH et al., 2007).

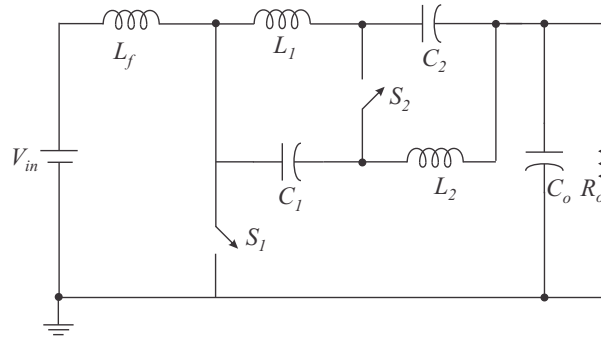
O funcionamento do circuito da Figura 13 pode ser dividido em dois estágios: o primeiro quando S_1 está ligada e S_2 está desligada (Figura 14a), e o segundo quando S_2 está ligada e S_1 está desligada (Figura 14b). Considerando que D_1 é a razão de trabalho (*duty-cycle*) de S_1 , tem-se:

$$D_2 = 1 - D_1. \quad (1)$$

Como as tensões médias nos indutores são nulas, as tensões médias nos ramos LC superior e inferior tornam-se as tensões dos capacitores. Assim, como estão em paralelo, serão iguais: $V_{C1} = V_{C2} = V_C$. Portanto observa-se que:

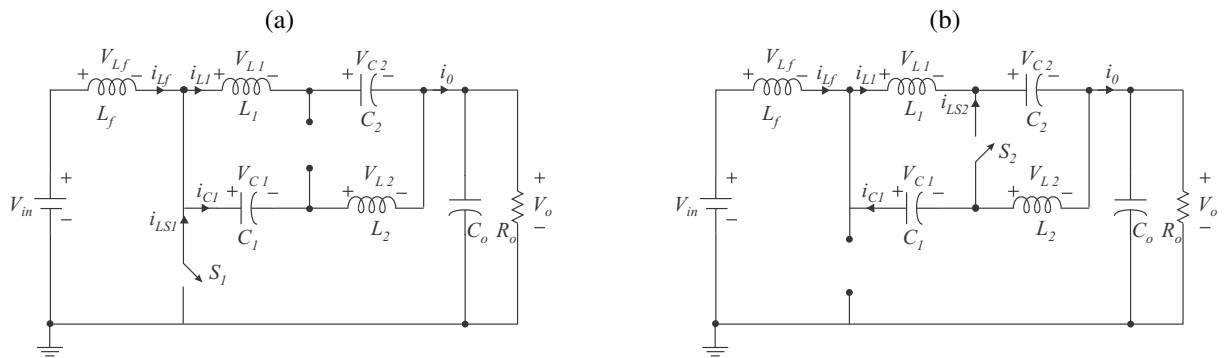
$$\begin{aligned} 1^\circ \text{Estado} &\Rightarrow V_{L_f} = V_{in} \\ 2^\circ \text{Estado} &\Rightarrow V_{L_f} = V_{in} - 2V_C - V_o. \end{aligned} \quad (2)$$

Figura 13 – Topologia proposta em (BERKOVICH et al., 2007) com característica bidirecional de quatro quadrantes.



Fonte: (BERKOVICH et al., 2007).

Figura 14 – Topologia proposta em (BERKOVICH et al., 2007). Operação para: (a) o primeiro e (b) o segundo estágios.



Fonte: (BERKOVICH et al., 2007).

Considerando que, no regime permanente, a tensão média no indutor L_f é nula, as equações dos dois estados são somadas levando em conta as razões de trabalho em cada estado:

$$\begin{aligned} V_{in}D_1 + (V_{in} - 2V_C - V_o)(1 - D_1) &= 0 \\ V_o &= \frac{V_{in}}{1-D_1} - 2V_C. \end{aligned} \quad (3)$$

Seguindo o mesmo raciocínio, analisa-se a malha do circuito referente ao indutor L_1 :

$$\begin{aligned} 1^\circ \text{Estado} &\Rightarrow V_{L1} = -V_o - V_C \\ 2^\circ \text{Estado} &\Rightarrow V_{L1} = V_C. \end{aligned} \quad (4)$$

Sabe-se que, no regime permanente, a tensão média no indutor L_1 é nula. Assim, as equações dos dois estados são somadas levando em conta as razões de trabalho em cada estado:

$$\begin{aligned} -(V_o + V_C)D_1 + V_C(1 - D_1) &= 0 \\ V_C &= V_o \frac{D_1}{1-2D_1}. \end{aligned} \quad (5)$$

Portanto, com base nas tensões médias dos indutores L_f e L_1 , (3) e (5), respectivamente, encontram-se as seguintes expressões:

$$V_o = V_{in} \frac{1 - 2D_1}{1 - D_1} \quad (6)$$

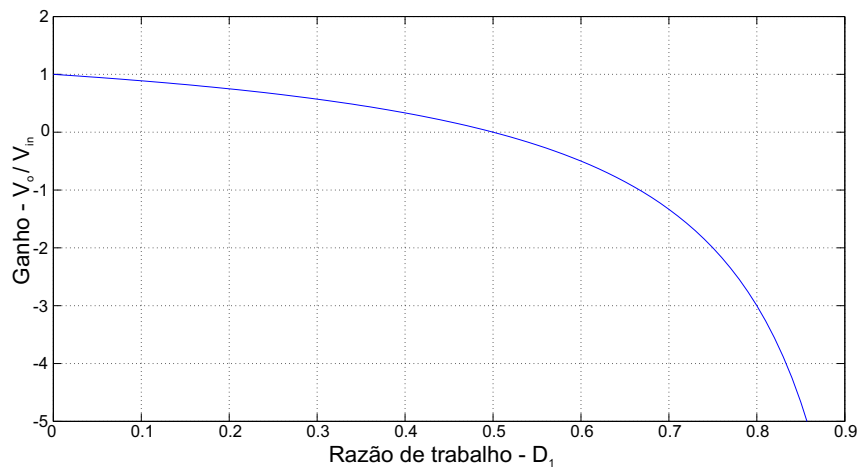
$$V_C = V_{in} \frac{D_1}{1 - D_1}. \quad (7)$$

Dessa forma, com base em (6) e (7), conclui-se que:

- Se $0 \leq D_1 \leq 1/2 \Rightarrow V_{in} \geq V_o \geq 0$ (opera como *buck* e polaridade positiva)
- Se $1/2 < D_1 \leq 2/3 \Rightarrow 0 > V_o \geq -V_{in}$ (opera como *buck* e polaridade negativa)
- Se $D_1 > 2/3 \Rightarrow V_o < -V_{in}$ (opera como *boost* e polaridade negativa).

O conversor da Figura 13 se apresenta como uma solução simples, com apenas 2 chaves, capaz de operar nos quatro quadrantes, ou seja, como inversor monofásico. Porém, observando (6), é possível identificar que há uma limitação quanto à sua capacidade de elevar a tensão nas duas polaridades, pois a operação *boost* fica limitada apenas a ganhos negativos, conforme mostrado na Figura 15. Portanto, tal topologia é capaz de operar apenas como um simples inversor monofásico (operando como *buck*), já que sua capacidade boost não é bipolar. Vale ressaltar que o inversor monofásico em ponte completa (ponte *H*) com um filtro *LC* de saída possui as mesmas características que o inversor da Figura 15, com a diferença que o ponte completa possui 4 chaves, 4 diodos, 1 indutor e 1 capacitor, enquanto a topologia da Figura 15 possui 2 chaves, 2 diodos, 3 indutores e 3 capacitores.

Figura 15 – Ganho de tensão da topologia na Figura 13 em função de D_1 .



Fonte: próprio autor.

2.2 Topologias TSTS-ZSI (HUANG et al., 2013)

2.2.1 Circuito *semi-Z* (HUANG et al., 2013)

Para obter a família TSTS-ZSI, é necessário entender o funcionamento do circuito de um *semi-ZSI*, proposto em (HUANG et al., 2013) e mostrado na Figura 16.

De forma similar à análise realizada para a topologia na Figura 13, foi definida a razão de trabalho para S_2 como sendo D_2 . Considerando que as chaves S_2 e S_3 trabalham alternadamente e assumindo que os indutores L_1 e L_2 e os capacitores C_1 e C_2 tenham a mesma indutância L e a mesma capacitância C , respectivamente, deduz-se que:

$$i_{L1} = i_{L2} = i_L \Rightarrow V_{L1} = V_{L2} = V_L \quad (8)$$

$$V_{C1} = V_{C2} = V_C. \quad (9)$$

Durante o primeiro estado (D_2), tem-se $S_2 = 1$ e $S_3 = 0$. Assim,

$$V_L = V_C. \quad (10)$$

Durante o segundo estado ($1 - D_2$), tem-se $S_2 = 0$ e $S_3 = 1$. Assim,

$$V_L = -V_o - V_C. \quad (11)$$

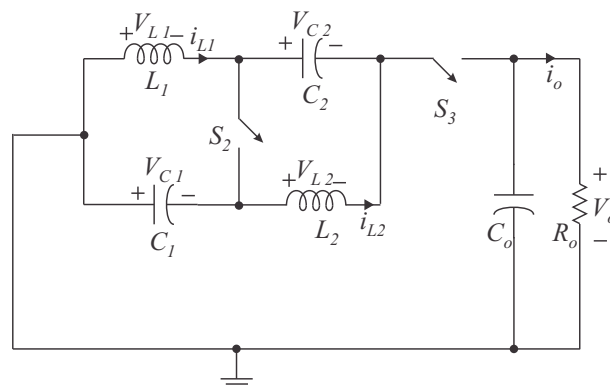
Considerando que a tensão no indutor em regime permanente é nula, tem-se:

$$V_c D_2 - (V_o + V_c)(1 - D_2) = 0. \quad (12)$$

Portanto,

$$\frac{V_o}{V_C} = \frac{2D_2 - 1}{1 - D_2}. \quad (13)$$

Figura 16 – Circuito de um *semi-ZSI* proposto em (HUANG et al., 2013).



Fonte: (HUANG et al., 2013).

Como visto na Figura 17, para a topologia trabalhar como inversor monofásico (nos quatro quadrantes), é necessário que o valor de D_2 esteja na seguinte faixa:

$$D_2 \in [0; 2/3] \implies \frac{V_o}{V_c} \in [-1; 1]. \quad (14)$$

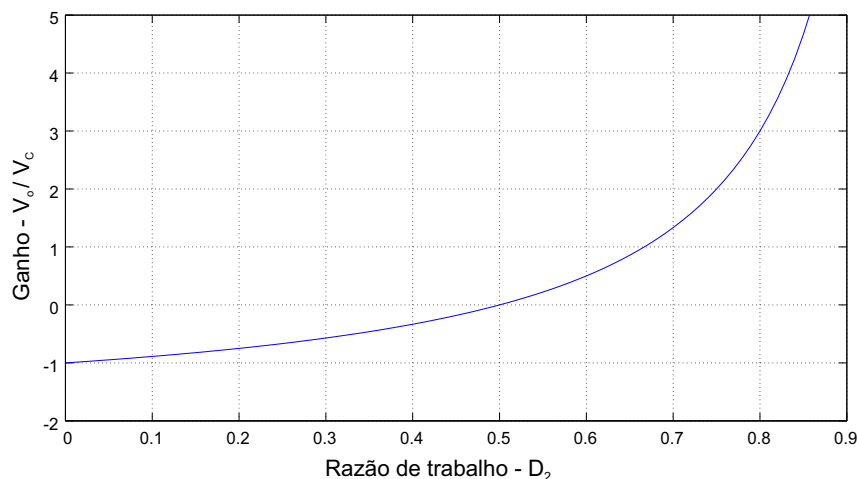
Pelo exposto, comprova-se que o circuito da Figura 16 é similar ao da Figura 13, com diferença de que a operação boost do circuito da Figura 13 ocorre com polaridade negativa enquanto a operação boost do circuito da Figura 16 ocorre com polaridade positiva. Assim, nota-se que, se for possível unir as características boost de ambas as topologias, será obtido um inversor monofásico com característica buck-boost. Tal união é o cerne do desenvolvimento das topologias TSTS-ZSI propostas em (HUANG et al., 2013).

2.2.2 Topologias TSTS-ZSI (HUANG et al., 2013)

Diante da limitação de cada uma das topologias apresentadas anteriormente, uma solução, através da inclusão de mais uma chave (três chaves no total), foi apresentada em (HUANG et al., 2013), de forma a possibilitar a operação do inversor monofásico como *boost*. O circuito *semi-ZSI* mostrado na Figura 16 realiza apenas a inversão em que a tensão de saída (V_o) é menor, em módulo, que a tensão V_C , ou seja, se comporta como um inversor monofásico convencional (tipo *buck*). Dessa forma, para aplicações como a fotovoltaica, é necessário acrescentar um conversor *boost* antes do *semi-ZSI*, de forma que seja possível obter uma tensão c.a. de saída com amplitude maior do que a de entrada c.c., ou seja, se comportando como um inversor com capacidade *boost*.

Objetivando entender o desenvolvimento das topologias TSTS-ZSI propostas em (HUANG et al., 2013), observa-se mais uma vez a Figura 11 que mostra o conversor *boost* convencional. No conversor *boost* a razão de trabalho para S_1 é definida como D_1 . Da topologia

Figura 17 – Ganho de tensão da topologia da Figura 16 em função de D_2 .



Fonte: próprio autor.

boost convencional sabe-se que a chave S_1 e o diodo D_i trabalham alternadamente. Assim, para as deduções seguintes considerou-se $S_1 = S_{1boost}$ e $D_i = S_{2boost}$ (Figura 18). Portanto, baseando-se no princípio de operação desse conversor, algumas considerações são feitas.:

Durante o primeiro estado (D_{1boost}), tem-se $S_{1boost} = 1$ e $S_{2boost} = 0$. Assim,

$$V_{Lf} = V_{in}. \quad (15)$$

Durante o segundo estado ($1 - D_{1boost}$), complementar a D_{1boost} , tem-se $S_{1boost} = 0$ e $S_{2boost} = 1$. Assim,

$$V_{Lf} = V_{in} - V_{boost}. \quad (16)$$

Dessa forma, considerando que a tensão no indutor em regime permanente é nula, tem-se:

$$V_{in}D_{1boost} + (V_{in} - V_{boost})(1 - D_{1boost}) = 0. \quad (17)$$

De (17), encontra-se a relação

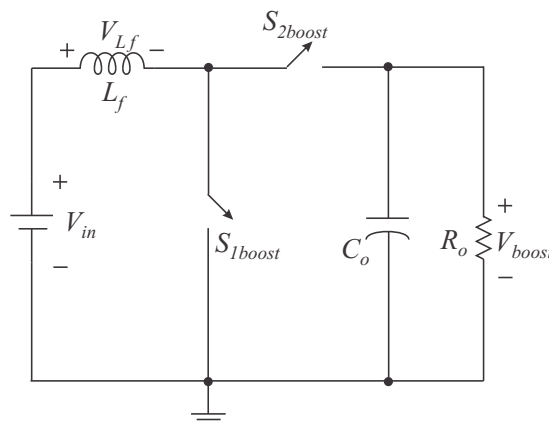
$$\frac{V_{boost}}{V_{in}} = \frac{1}{1 - D_{1boost}}. \quad (18)$$

Dessa forma, os limites do conversor *boost* são obtidos como

$$D_{1boost} \in [0; 1) \implies \frac{V_{boost}}{V_{in}} \in [1; \infty). \quad (19)$$

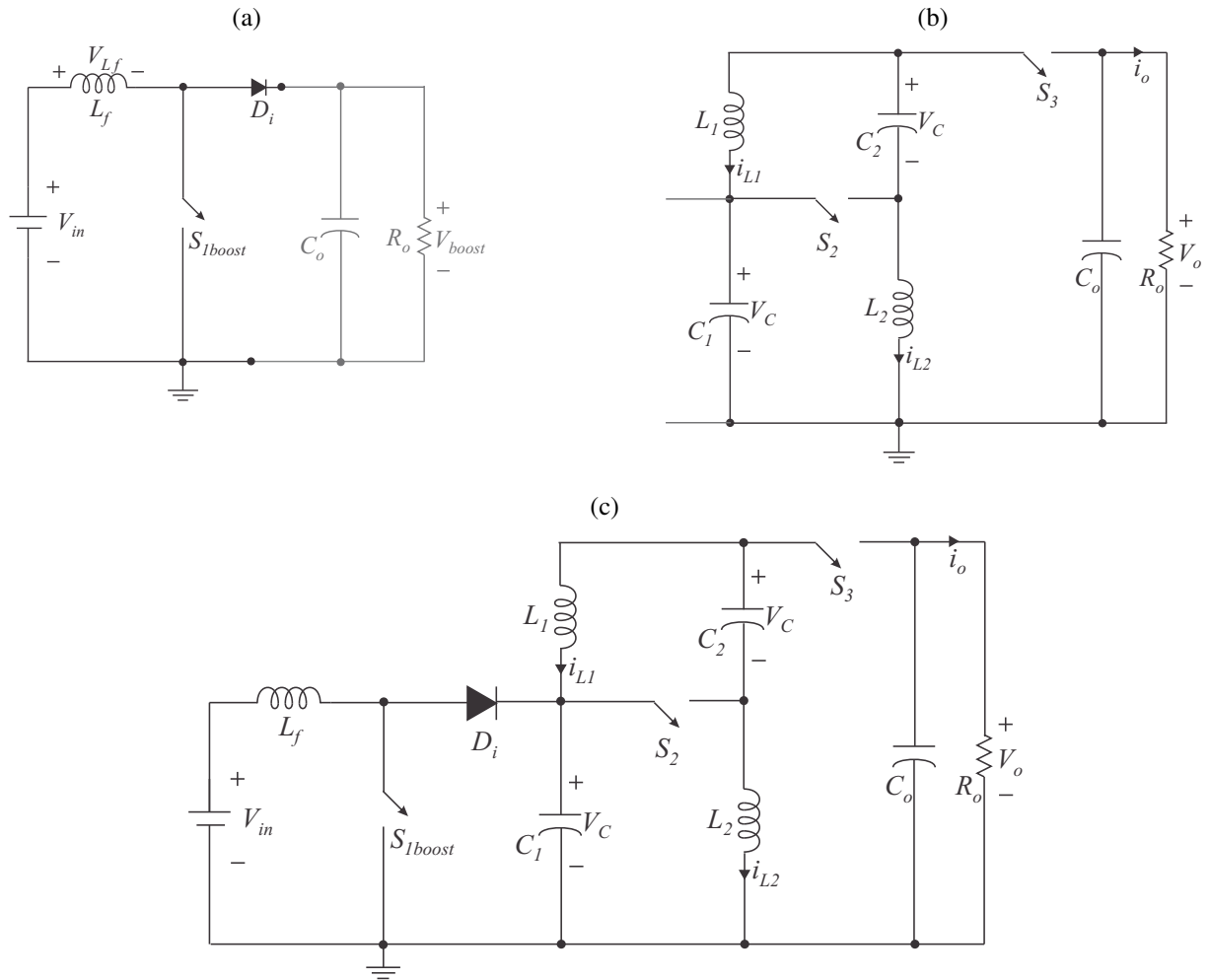
Após o desenvolvimento das equações do conversor *boost* e do circuito *semi-ZSI*, realizado anteriormente, é possível entender uma das primeiras topologias proposta em (HUANG et al., 2013). A mesma é obtida através da associação dos circuitos nas figuras 11 e 16, tendo como resultado o circuito na Figura 19c.

Figura 18 – Topologia convencional de um conversor *boost* c.c.-c.c. da Figura 11, considerando apenas utilização de chaves $S_1 = S_{1boost}$ e $S_1 = S_{2boost}$.



Fonte: próprio autor.

Figura 19 – Concepção da Topologia de dois estágios proposta em (HUANG et al., 2013), através da junção dos do conversor *boost* da Figura 11 com o circuito e *semi-ZSI* da Figura 16.



Fonte: (HUANG et al., 2013).

Observando a concepção da topologia (Figura 19), tem-se que a tensão V_c , na Figura 19b, é a tensão de entrada no circuito *semi-ZSI* e, ao mesmo tempo, a tensão de saída do circuito *boost*, aqui chamada de V_{boost} :

$$V_c = V_{boost} = \frac{1}{1 - D_{1boost}} V_{in}. \quad (20)$$

Dessa forma, pode-se substituir V_c por V_{boost} em (13), e depois substituir V_{boost} usando

(20). Assim, tem-se:

$$\begin{aligned}
 V_o &= \frac{2D_2 - 1}{1 - D_2} V_c \\
 &= \frac{2D_2 - 1}{1 - D_2} V_{boost} \\
 &= \frac{2D_2 - 1}{1 - D_2} \frac{1}{1 - D_{1boost}} V_{in}.
 \end{aligned} \tag{21}$$

Onde D_2 refere-se a razão de trabalho da chaves S_2 , dentro da malha de impedâncias *semi-Z*.

Conforme mostrado em (14) e (19), as razões de trabalho D_2 e D_{1boost} têm como limites:

$$\begin{cases} D_2 \in [0; 2/3] \\ D_{1boost} \in [0; 1] \end{cases} \tag{22}$$

Sabe-se ainda que a parte do circuito *boost* tem como limites de ganho:

$$\frac{V_c}{V_{in}} \in [1; \infty). \tag{23}$$

Da mesma forma, a parte do circuito *semi-ZSI* tem:

$$\frac{V_o}{V_c} \in [-1; 1]. \tag{24}$$

Combinando os dois circuitos, ou estágios, vê-se que o conversor da Figura 19c opera como um inversor com característica *boost*. Assim, tem-se como ganho do primeiro inversor proposto em (HUANG et al., 2013) como sendo:

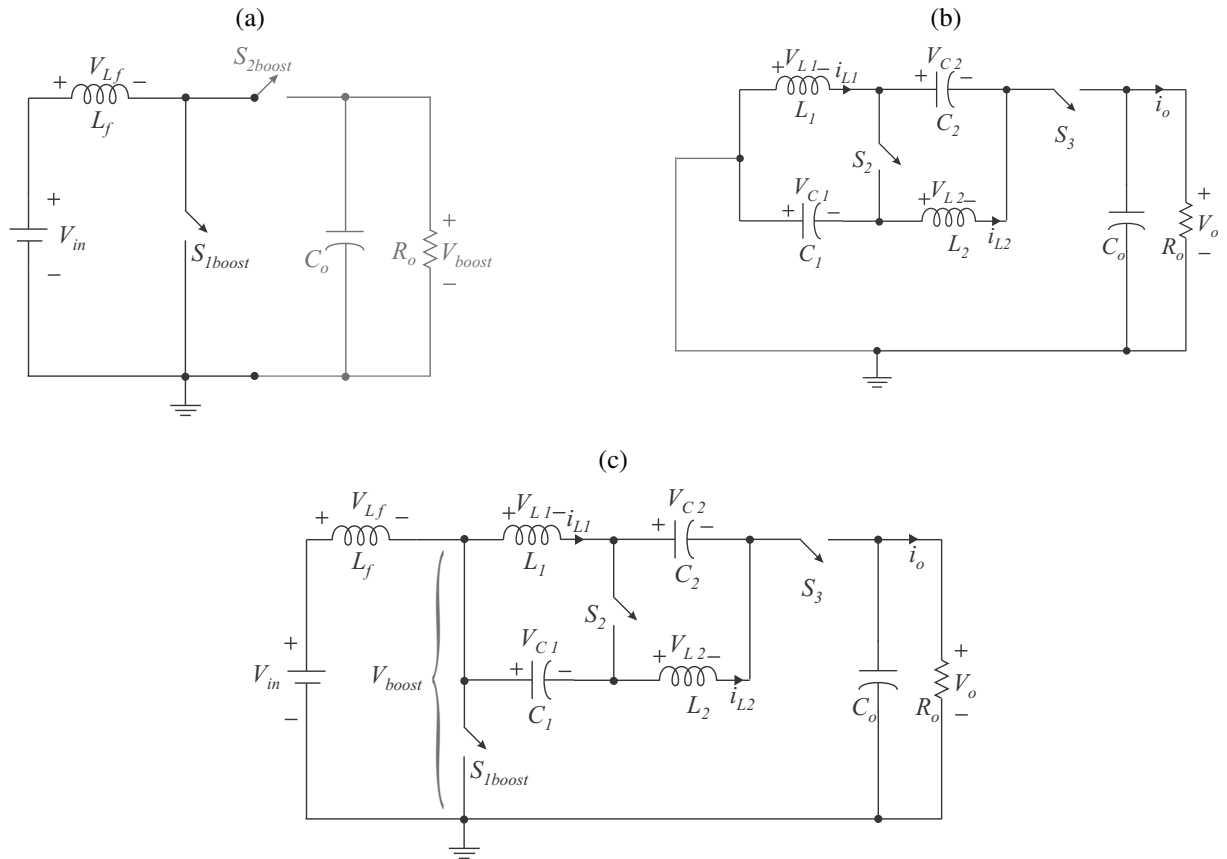
$$\frac{V_o}{V_{in}} \in [-1; +\infty). \tag{25}$$

Ainda, partindo de (13), tem-se a possibilidade de integrar os dois estágios do conversor na Figura 19c em um só, encontrando V_o da seguinte forma:

$$\begin{aligned}
 V_o \times 2 &= \frac{2D_2 - 1}{1 - D_2} V_c \times 2 \\
 2V_o(1 - D_2) &= (2D_2 - 1)2V_c \\
 V_o + V_o(1 - 2D_2) &= (2D_2 - 1)2V_c \\
 V_o &= (2D_2 - 1)(2V_c + V_o).
 \end{aligned} \tag{26}$$

Em (26), considera-se $(2V_c + V_o)$ como sendo um valor constante com o objetivo de facilitar as deduções seguintes. Dessa forma, a relação entre a tensão de saída V_o e $(2D_2 - 1)$ torna-se linear e a expressão da tensão é a mesma encontrada em um VSI convencional, onde $(2V_c + V_o)$ é a tensão do barramento c.c.. Ainda, observando o circuito na Figura 19c, $(2V_c + V_o)$

Figura 20 – Concepção da Topologia de três estágios proposta em (HUANG et al., 2013), através da junção dos do conversor *boost* da Figura 18 com o circuito e *semi-ZSI* da Figura 16.



Fonte: (HUANG et al., 2013).

torna-se constante chaveando S_2 e S_3 ao mesmo tempo. Nota-se que a malha $(2V_c + V_o)$ do circuito na Figura 19c passa a ser a saída do conversor *boost*, o qual se encontra na entrada na Figura 19c. Sendo assim, define-se $V_{boost} = (2V_c + V_o)$ possibilitando reescrever (26) conforme apresentado a seguir:

$$V_o = (2D_2 - 1)V_{boost}. \quad (27)$$

Nesse ponto pode-se chegar à primeira topologia TSTS-ZSI proposta em (HUANG et al., 2013) (Figura 20c). A associação entre o conversor *boost* (Figura 20a) e o circuito *semi-ZSI* (Figura 20b) é feita de maneira mais direta, considerando a eliminação no circuito *boost* da chave (ou diodo) S_{2boost} (Figura 20), pois sua função poderá ser executada por S_3 do circuito *semi-ZSI* sem prejuízo à nova topologia, como será visto mais adiante. Ao observamos o circuito *boost* (Figura 20a) e a nova topologia (Figura 20c) é possível constatar com mais facilidade que $V_{boost} = 2V_c + V_o$, considerando $S_2 = S_3 = 1$ e percorrendo a malha do circuito de S_{1boost} a V_o .

Se comparada com a topologia de dois estágios (Figura 19c), a topologia TSTS-ZSI

(Figura 20c), com entrada *boost*, possibilitou a eliminação do diodo e introduziu a facilidade da transformação em uma topologia com entrada *buck-boost*, como será visto na próxima seção.

Apesar das diferenças no circuito, a topologia proposta, re-representada na Figura 21 objetivando facilitar as deduções a seguir, possui operação bastante similar à da Figura 19c. Ou seja, continua dividida em duas etapas, sendo uma com a função *boost* e outra com a função de inversão de tensão, do mesmo modo que a topologia na Figura 19c.

Nessa topologia, para manter $V_{boost} = 2V_c + V_o$ constante, representado pelo circuito equivalente 23a, é preciso obedecer

- Quando S_1 está ligada, ao menos uma das chaves restantes deve estar ligada;
- Quando S_1 está desligada, as duas as chaves restantes devem estar ligadas;

Similarmente, mas objetivando a realização da inversão, deve-se considerar que:

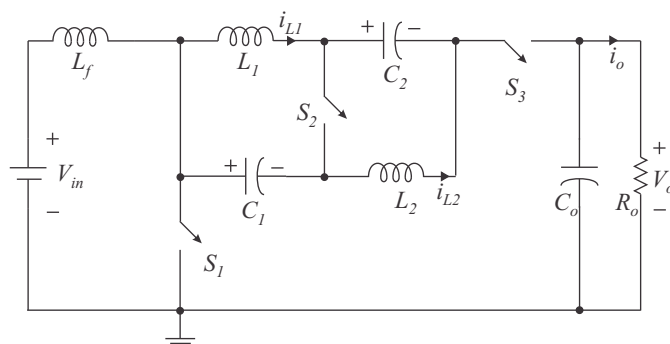
- Quando S_2 está ligada, ao menos uma das chaves restantes deve estar desligada;
- Quando S_2 está desligada, as duas as chaves restantes devem estar ligadas;

Nota-se que a configuração da Figura 23a se assemelha ao conversor *boost* (Figura 11), enquanto a configuração da Figura 22b se assemelha ao *semi-ZSI* (Figura 16).

Das restrições para operação das chaves da topologia, listadas acima, pode-se resumir os estados das mesmas na Tabela 1.

Como consequência, o circuito equivalente na Figura 22a é responsável pela etapa *boost* e garante $V_{boost} = 2V_c + V_o$ tenha valor constante e maior que V_{in} , condizendo com (27). Os estados das chaves na operação *boost* são:

Figura 21 – Primeira topologia TSTS-ZSI proposta em (HUANG et al., 2013).

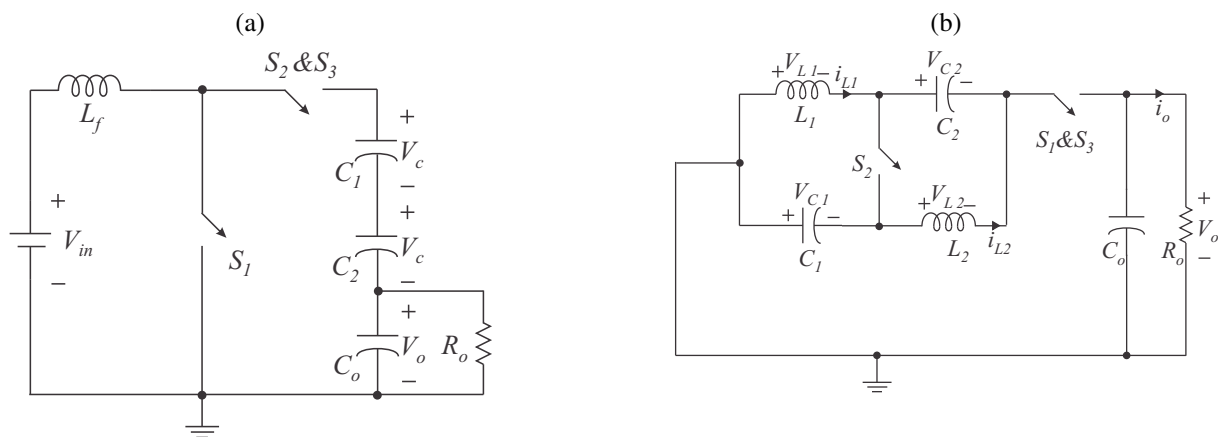


Fonte: (HUANG et al., 2013).

Tabela 1 – Estados possíveis de operação das chaves.

Operação	S_1	S_2	S_3	Ocorrências no circuito
1º Estado	1	0	1	V_{in} carrega L_f e V_o é nutrido com V_{c1} , V_{c2} , V_{L1} e V_{L2}
2º Estado	1	1	0	V_{in} carrega L_f , V_{c1} carrega L_1 e V_{c2} carrega L_2
3º Estado	0	1	1	V_{in} carrega C_1 , C_2 e C_o ; V_{c1} carrega L_1 e V_{c2} carrega L_2

Fonte: próprio autor.

Figura 22 – Representação esquemática da topologia da Figura 21 em: (a) estágio *boost* e (b) estágio *semi-ZSI*.

Fonte: (HUANG et al., 2013).

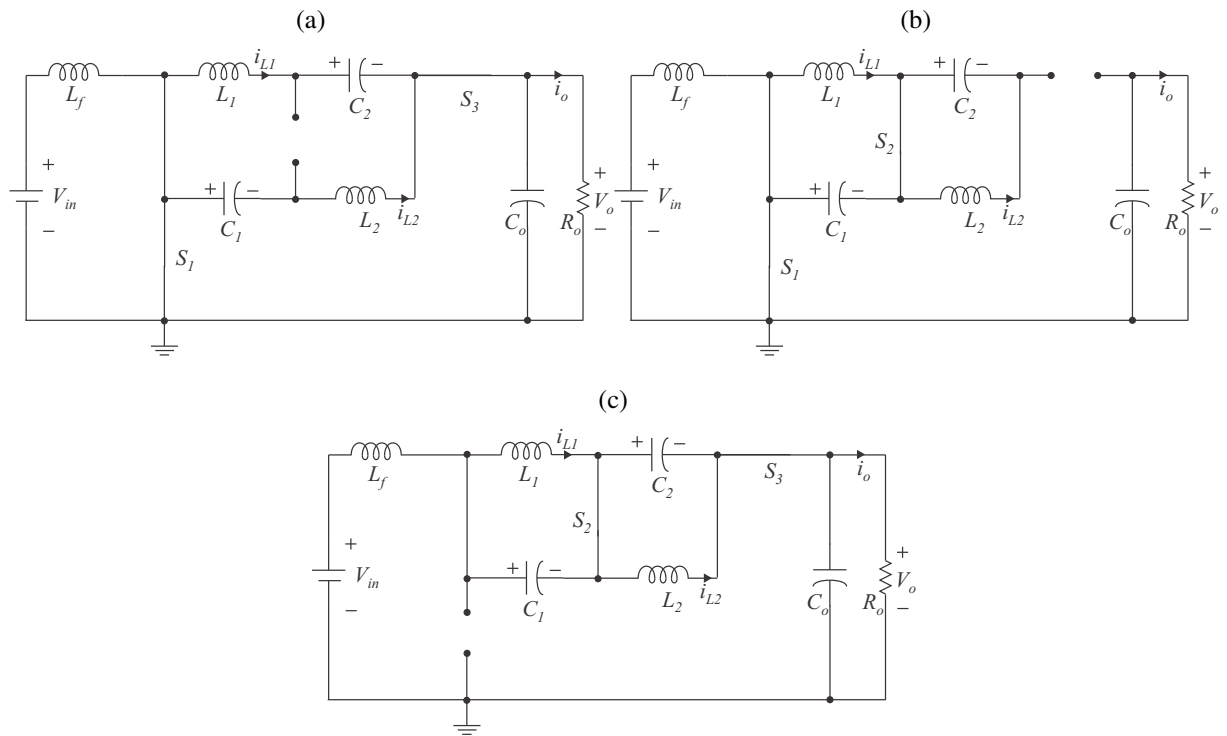
- 1º e 2º Estados - $S_1 = 1$ e ($S_2 = 0$ ou $S_3 = 1$) \implies Carregando o indutor L_f (figuras 23a e 23b) ;
- 3º Estado - $S_1 = 0$ e ($S_2 = S_3 = 1$) \implies Fonte V_{in} e indutor L_f alimentam os capacitores: C_1 , C_2 e C_o (Figura 23c).

De forma similar, quando se faz a condição $S_1 = S_3 = \overline{S_2}$, tem-se o circuito equivalente na Figura 22b, responsável pelo estágio de inversão, o qual garante uma tensão de saída $V_o = (2D_2 - 1)V_{boost}$, conforme (27). Nesse caso, os possíveis estados das chaves são:

- 1º Estado - $S_2 = 0$ e ($S_1 = S_3 = 1$) \implies Alimentação da carga com a tensão dos capacitores e indutores da malha de impedâncias *semi-Z* (Figura 23a);
- 2º e 3º Estados - $S_2 = 1$ e ($S_1 = 0$ ou $S_3 = 0$) \implies Os capacitores da malha de impedâncias *semi-Z* carregam os indutores (figuras 23b e 23c).

Percebe-se que em todos os estados (Tabela 1) são executados os estágios *boost* e de

Figura 23 – Circuitos de acordo com os estados de operação (Tabela 1)



Fonte: próprio autor.

inversão em partes distintas do circuito, tendo as chaves S_1 , S_2 e S_3 função específicas. Pelas deduções mostradas até o momento, resumem-se estas funções como sendo:

- S_1 controla a etapa de operação *boost* vista na Figura 22a (carregamento do indutor e alimentação dos capacitores do circuito);
- S_2 controla a etapa de inversão do *semi-ZSI* visto na Figura 22b (carregamento dos seus indutores e alimentação do capacitor de saída);
- S_3 auxilia ambas as chaves na coordenação das duas etapas de operação (*boost* e inversão).

Dos estados 1 e 2 deduz-se que: $(1 - D_1 \leq D_2)$ e $(1 - D_2 \leq D_1)$. Como consequência observa-se que a restrição que satisfaz as duas condições é:

$$D_1 + D_2 \geq 1. \quad (28)$$

Dos estados 1, 2 e 3, obtém-se que:

$$S_3 = XOR(S_1, S_2). \quad (29)$$

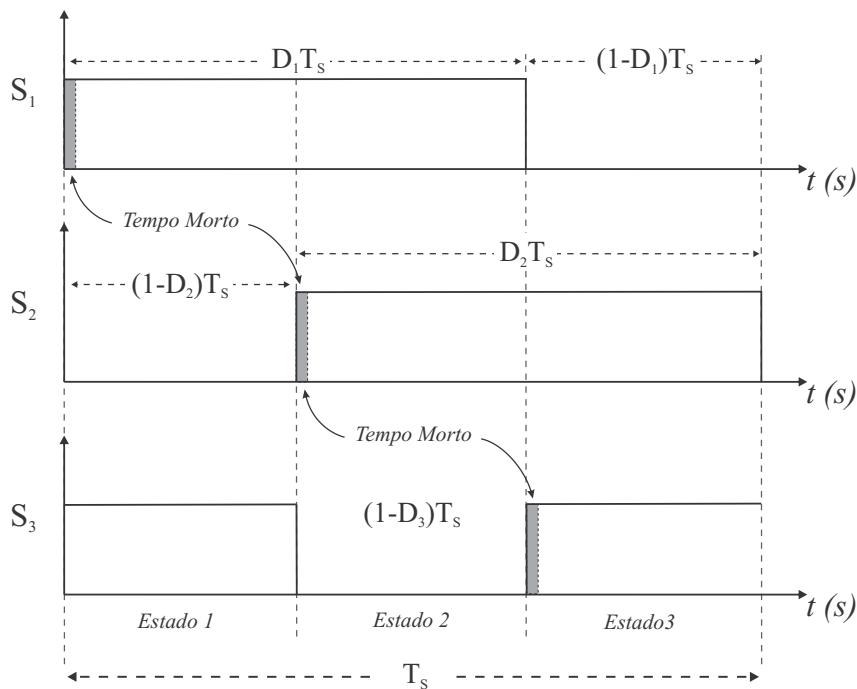
Sendo assim, pode-se visualizar o padrão de chaveamento com os três estados das três chaves na Figura 24, que satisfaz (28) e (29). Observando a figura, ainda se deduz-se que:

$$\begin{aligned} 1 - D_1 + 1 - D_2 &= D_3 \\ D_3 &= 2 - D_1 - D_2. \end{aligned} \quad (30)$$

Com o objetivo de garantir que $S_1 = S_2 = S_3 = 1$ não ocorra em qualquer instante, já que poderia causar curto-circuito de C_1 e C_2 com C_o , são estabelecidos tempos mortos para as chaves, representados na Figura 24 pelas áreas hachuradas. Como pode ser observado, em cada estado apenas duas chaves estão fechadas. A divisão clara dos três estados de operação é o motivo da topologia ter sido nomeada de TSTS-ZSI em (HUANG et al., 2013), sendo esses estados:

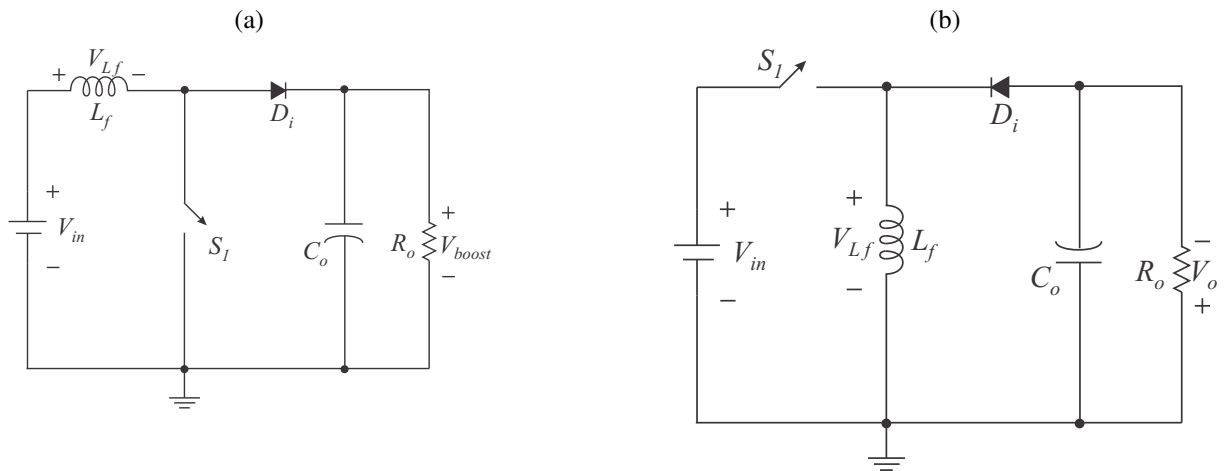
1. $S_1 = S_3 = 1$ e $S_2 = 0$ – carregamento do indutor de entrada e alimentação da saída com a tensão dos capacitores e indutores do *semi-ZSI*;
2. $S_1 = S_2 = 1$ e $S_3 = 0$ – carregamento dos indutores de entrada e do *semi-ZSI* e isolamento da saída;
3. $S_2 = S_3 = 1$ e $S_1 = 0$ – carregamento dos indutores do *semi-ZSI* e alimentação da saída e dos capacitores do *semi-ZSI* com a energia da fonte e do indutor de entrada.

Figura 24 – Padrão de chaveamento com os três estados das três chaves.



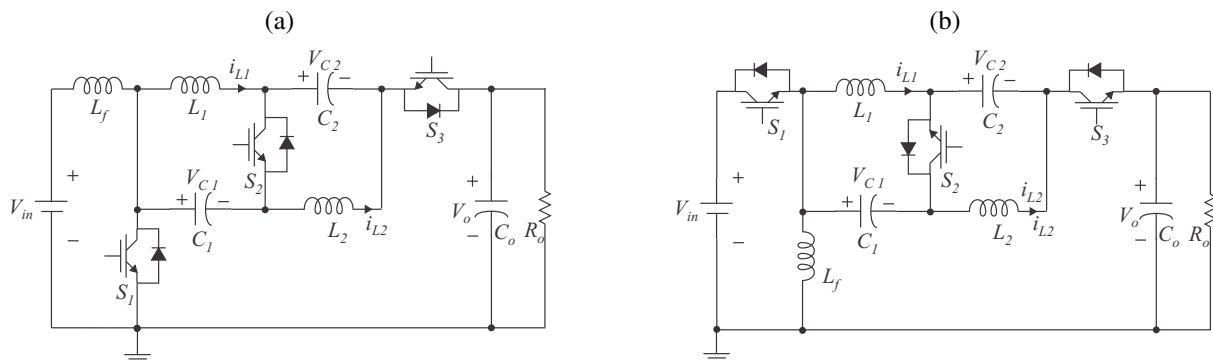
Fonte: próprio autor.

Figura 25 – Topologias convencionais de conversores c.c.-c.c.: (a) *boost*; (b) *buck-boost*.



Fonte: próprio autor.

Figura 26 – Conversores TSTS-ZSI propostos em (HUANG et al., 2013): (a) tipo *Boost*; (b) tipo *Buck-boost*.



Fonte: (HUANG et al., 2013).

De posse das relações entre as razões de trabalho D_1 , D_2 e D_3 , obtêm-se as expressões de ganho de tensão para o TSTS-ZSI, de forma similar ao desenvolvimento feito separadamente para os conversores *boost* e *semi-ZSI*.

Portanto, para entender o desenvolvimento das topologias TSTS-ZSI com entradas do tipo *buck-boost* propostas em (HUANG et al., 2013), observa-se a Figura 25a, que mostra o conversor *boost* convencional, em comparação com a Figura 25b, que mostra o conversor *buck-boost* convencional. As principais diferenças entre as duas topologias são a inversão de posição entre a chave S_1 e o indutor L_f e a inversão da polaridade do diodo D_i . Assim, ao fazer essa mesma inversão de componentes na Figura 26a, que representa a versão *boost* da topologia, obtêm-se a segunda topologia TSTS-ZSI proposta em (HUANG et al., 2013), conforme mostrado na Figura 26b.

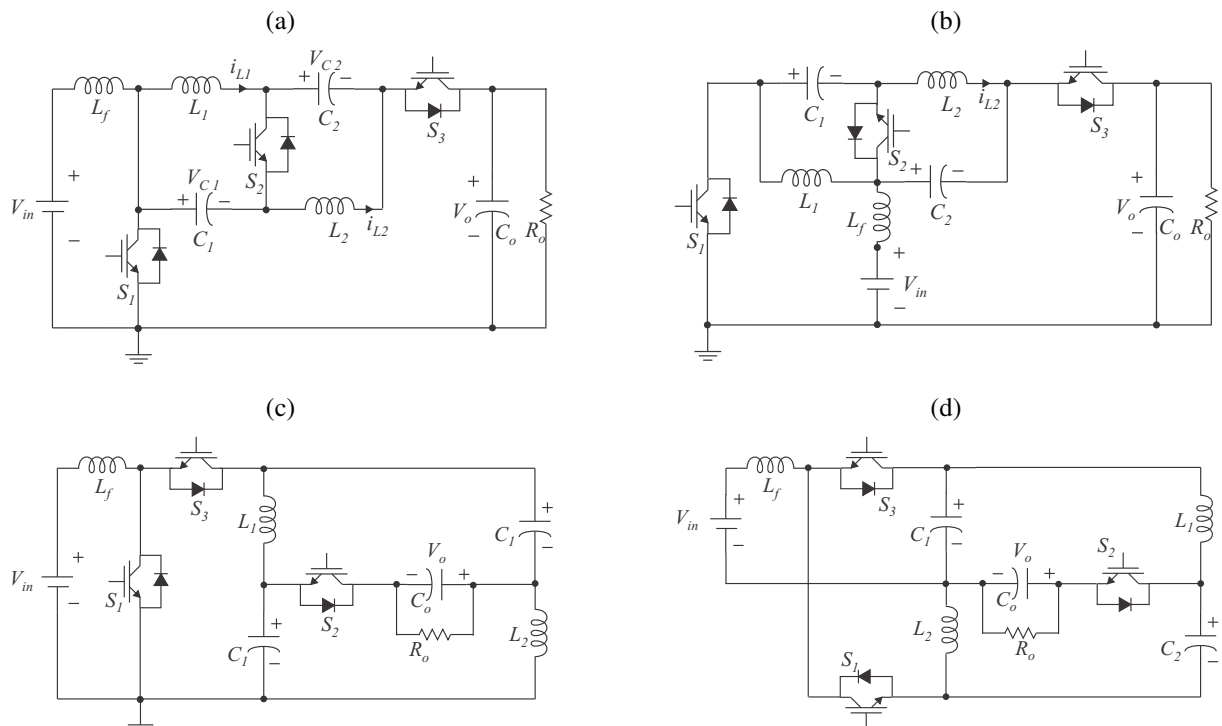
Nessa seção, detalharam-se duas das topologias (figuras 26a e 26b), dentre as propostas em (HUANG et al., 2013). É possível entender agora que a família de inversores proposta em (HUANG et al., 2013) opera sempre em três estados e é composta sempre por três chaves, independentemente do circuito proposto.

2.3 Família de TSTS-ZSIs com Entradas do Tipo *Boost*

Além do inversor apresentado na seção anterior, representado na Figura 26a, pode-se ainda obter outros três circuitos vistos nas figuras 27b-27d.

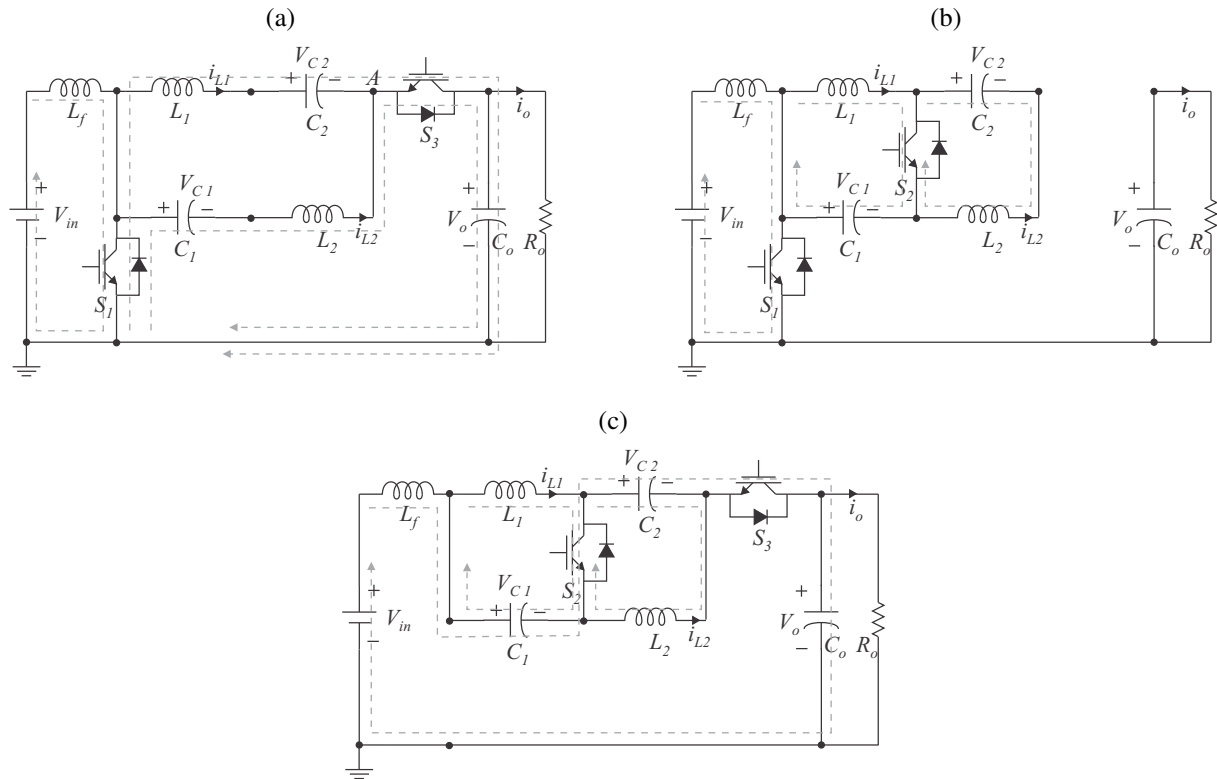
Todas as quatro topologias mostradas na Figura 27 possuem as mesmas propriedades elétricas, inclusive seus esforços nas chaves segundo (HUANG et al., 2013). Entretanto, de forma a facilitar o desenvolvimento das equações seleciona-se a topologia da Figura 27a, que já foi apresentada na Figura 21 e teve sua operação detalhada na seção anterior. Com o detalhamento da operação do inversor tipo *boost*, espera-se um melhor entendimento do desenvolvimento da topologia *buck-boost* que será realizado mais adiante.

Figura 27 – Família TSTS-ZSIs com entrada do tipo *boost* proposta em (HUANG et al., 2013).



Fonte: (HUANG et al., 2013).

Figura 28 – Circuitos equivalentes dos três estados do inversor da Figura 27a: (a) Estado 1: S_1 e S_3 ligadas e S_2 desligada; (b) Estado 2: S_1 e S_2 ligadas e S_3 desligada. (c) Estado 3: S_2 e S_3 ligadas e S_1 desligada.



Fonte: próprio autor.

2.3.1 Operação dos inversores

Assumindo L_1, L_2 iguais a L e C_1, C_2 iguais a C , tem-se que a malha de impedâncias *semi-Z* do circuito na Figura 27a é simétrica, ou seja, de forma resumida:

$$\begin{aligned}
 L_1 &= L_2 = L \\
 C_1 &= C_2 = C \\
 i_{L1} &= i_{L2} = i_L \\
 v_{C1} &= v_{C2} = v_C.
 \end{aligned}
 \tag{31}$$

Assim, baseado na sequência de sinais mostrados na Figura 24, pode-se dividir o circuito da Figura 27a em três estados, mostrados na Figura 28.

Considerando a tensão média no indutor de entrada (L_f) igual a zero, percorrem-se as

malhas do circuito mostradas na Figura 28, de onde se obtém:

$$\begin{aligned}
 V_{in}D_1 + (V_{in} - 2V_c - V_o)(1 - D_1) &= 0 \\
 V_{in} &= (2V_c + V_o)(1 - D_1) \\
 \frac{2V_c + V_o}{V_{in}} = \frac{V_{boost}}{V_{in}} &= \frac{1}{1 - D_1}.
 \end{aligned} \tag{32}$$

Seguindo o mesmo raciocínio para o indutor L_1 , encontra-se:

$$\begin{aligned}
 V_cD_2 + (-V_o - V_c)(1 - D_2) &= 0 \\
 V_o(1 - D_2) &= (2D_2 - 1)V_c \\
 \frac{V_o}{V_c} &= \frac{2D_2 - 1}{1 - D_2}.
 \end{aligned} \tag{33}$$

Ou, reescrevendo a equação anterior:

$$\frac{V_o}{V_{boost}} = 2D_2 - 1. \tag{34}$$

Substituindo (33) em (32) chega-se a:

$$\begin{aligned}
 V_o + 2V_o \frac{1 - D_2}{2D_2 - 1} &= \frac{V_{in}}{1 - D_1} \\
 \frac{V_o}{2D_2 - 1} &= \frac{V_{in}}{1 - D_1} \\
 \frac{V_o}{V_{in}} &= \frac{2D_2 - 1}{1 - D_1}.
 \end{aligned} \tag{35}$$

Multiplicando (35) por (33) chega-se a:

$$\begin{aligned}
 \frac{V_o}{V_{in}} \cdot \frac{V_c}{V_o} &= \frac{2D_2 - 1}{1 - D_1} \cdot \frac{1 - D_2}{2D_2 - 1} \\
 \frac{V_c}{V_{in}} &= \frac{1 - D_2}{1 - D_1}.
 \end{aligned} \tag{36}$$

Observando o nó A na Figura 28a, tem-se:

$$i_{L2} + i_{C2} = i_{C_o} + i_o. \tag{37}$$

Sabendo que os valores médios de i_{C2} e i_{C_o} são nulos, e que $i_{L2} = i_{L1} = i_L$ tem-se:

$$I_L = I_o. \tag{38}$$

Considerando um conversor sem perdas:

$$\begin{aligned}
 P_{in} &= P_{out} \\
 V_{in}I_{in} &= V_{out}I_{out} \\
 V_{in}I_{Lf} &= V_oI_o \\
 \frac{I_{Lf}}{I_o} = \frac{V_o}{V_{in}} &= \frac{2D_2 - 1}{1 - D_1}.
 \end{aligned} \tag{39}$$

De forma resumida, têm-se como equações da família TSTS-ZSI com entrada tipo *boost*:

$$\begin{aligned} \frac{V_o}{V_{in}} &= \frac{2D_2-1}{1-D_1} \\ \frac{V_c}{V_{in}} &= \frac{1-D_2}{1-D_1} \\ I_L &= I_o \\ \frac{I_{Lf}}{I_o} &= \frac{2D_2-1}{1-D_1} \end{aligned} \quad (40)$$

Nota-se que a relação entre as tensões de saída e de entrada depende das razões de trabalho D_1 e D_2 . Como já explicado anteriormente, com o objetivo de simplificar a operação do conversor, D_1 assume valor constante definido pelos valores mínimos e máximos de V_o , usando (32), de forma que se tenha um valor constante de $V_o + 2V_c$:

$$V_o + 2V_c = \frac{V_{in}}{1-D_1} = V_{boost} \implies \text{constante.} \quad (41)$$

Por outro lado, a razão de trabalho D_2 , que define o valor instantâneo da tensão senoidal V_o , assume formato senoidal, já que a tensão V_{boost} é constante. Portanto, D_2 define o processo de inversão realizado na malha de impedâncias *semi-Z*. Sendo assim, D_2 deve variar de forma senoidal para gerar uma tensão V_o no mesmo formato, cujos limites definidos por $D_2 = 0$ e $D_2 = 1$ são $V_o = -V_{boost} \left(\frac{-V_{in}}{1-D_1}\right)$ e $V_o = +V_{boost} \left(\frac{+V_{in}}{1-D_1}\right)$, respectivamente. Ou seja, pode-se escrever:

$$V_o = (2D_2 - 1)V_{boost}. \quad (42)$$

Para analisar o princípio de operação, faz-se a seguinte definição:

$$v_o = AV_{in} \text{sen}(\omega t), \quad (43)$$

onde A é o ganho de tensão do processo de conversão da topologia.

$$A = \frac{|v_o|}{V_{in}}. \quad (44)$$

Ainda no intuito de analisar a operação, define-se k o ganho do estágio *boost* V_{boost}/V_{in} , que é o máximo valor que se consegue obter na saída do conversor:

$$k = \frac{V_{boost}}{V_{in}}. \quad (45)$$

Sabendo disso, pode-se deduzir a relação entre k e D_1 :

$$\begin{aligned} k &= \frac{V_{boost}}{V_{in}} \\ &= \frac{2V_c + V_o}{V_{in}} \\ &= \frac{1}{1-D_1} \\ \hookrightarrow D_1 &= \frac{k-1}{k} \end{aligned} \quad (46)$$

Utilizando (42) e (45), g é definido como o ganho instantâneo do processo de inversão do conversor:

$$\begin{aligned}
 g &= \frac{v_o}{V_{in}} \\
 &= \frac{v_o}{V_{boost}} \frac{V_{boost}}{V_{in}} \\
 &= (2D_2 - 1)k \\
 \hookrightarrow D_2 &= \frac{\frac{g}{k} + 1}{2}
 \end{aligned} \tag{47}$$

Em tese tem-se:

- $D_1 \in [0,1) \Rightarrow k \in [1,\infty)$;
- $D_2 \in [0,1] \Rightarrow g \in [-k,+k] = (-\infty, +\infty)$

É válido observar que devido à restrição $D_1 + D_2 \geq 1$, apresentada em (28), tem-se:

$$\begin{aligned}
 \frac{\frac{g}{k} + 1}{2} + \frac{k - 1}{k} &\geq 1 \\
 \frac{g + k}{2k} + \frac{2k - 2}{2k} &\geq 1 \\
 g + k &\geq 2 \\
 g &\geq 2 - k
 \end{aligned} \tag{48}$$

Ainda na prática, tem-se a restrição $D_2 \leq 1$, e como consequência:

$$\begin{aligned}
 \frac{\frac{g}{k} + 1}{2} &\leq 1 \\
 \frac{g}{k} + 1 &\leq 2 \\
 g &\leq k
 \end{aligned} \tag{49}$$

Ou seja, o ganho instantâneo do processo de inversão do conversor possui como limites $2 - k \leq g \leq k$

Considerando D_1 e k constantes, encontra-se D_2 em função de v_o a partir de (43) e (47)

$$\begin{aligned}
 \frac{v_o}{V_{in}} &= (k + 2)(2D_2 - 1) \\
 &= \frac{AV_{in}\text{sen}(\omega t)}{V_{in}} \\
 \frac{A}{k + 2}\text{sen}(\omega t) &= 2D_2 - 1 \\
 D_2 &= \frac{1}{2} + \frac{A}{2(k + 2)}\text{sen}(\omega t).
 \end{aligned} \tag{50}$$

Como a tensão de saída v_o é limitada por kV_{in} , então $A \leq k$.

2.3.2 Esforços de tensão e corrente nas chaves

Substituindo os valores de D_1 e D_2 a partir de (46) e (50), respectivamente, em (36), encontra-se a tensão nos capacitores:

$$\begin{aligned}\frac{v_c}{V_{in}} &= \frac{1 - D_2}{1 - D_1} = \frac{1 - \left[\frac{1}{2} + \frac{A}{2(k+2)} \text{sen}(\omega t)\right]}{1 - \frac{k+1}{k+2}} \\ v_c &= \frac{k+2}{2} V_{in} - \frac{V_o}{2} \text{sen}(\omega t).\end{aligned}\quad (51)$$

Os esforços de tensão nas chaves S_1 , S_2 e S_3 da família com entrada do tipo *boost* é obtido através da análise de malhas dos circuitos nas figuras 28a-28c. Pelas figuras, observa-se que os esforços de tensão nas três chaves são iguais:

$$V_S = 2v_C + v_o. \quad (52)$$

Usando (35) e (45), tem-se:

$$\begin{aligned}V_S &= 2v_C + v_o = \frac{V_{in}}{1 - D_1} \\ &= \frac{V_{in}}{1/(2+k)} = (2+k)V_{in}.\end{aligned}\quad (53)$$

Para analisar a corrente nos indutores, partindo de (38), tem-se que

$$i_L = i_o = I_o \text{sen}(\omega t), \quad (54)$$

considerando uma carga resistiva, onde $I_o = V_o/R_o$.

Substituindo os valores de D_1 e D_2 , dados em (46) e (50), respectivamente, em (39), chega-se a:

$$\begin{aligned}\frac{i_{Lf}}{i_o} &= \frac{2D_2 - 1}{1 - D_1} = \frac{A \text{sen}(\omega t)/(k+2)}{1/(k+2)} \\ i_{Lf} &= I_o A \text{sen}^2(\omega t).\end{aligned}\quad (55)$$

Os esforços de corrente nas chaves S_1 , S_2 e S_3 da família com entrada do tipo *boost* é obtido através da análise de nós dos circuitos nas figuras 28a e 28c, quando as chaves estão fechadas. Pelas figuras, observa-se que o esforço de corrente na chave S_1 é:

$$i_{S1} = i_{Lf} - (i_C + i_L). \quad (56)$$

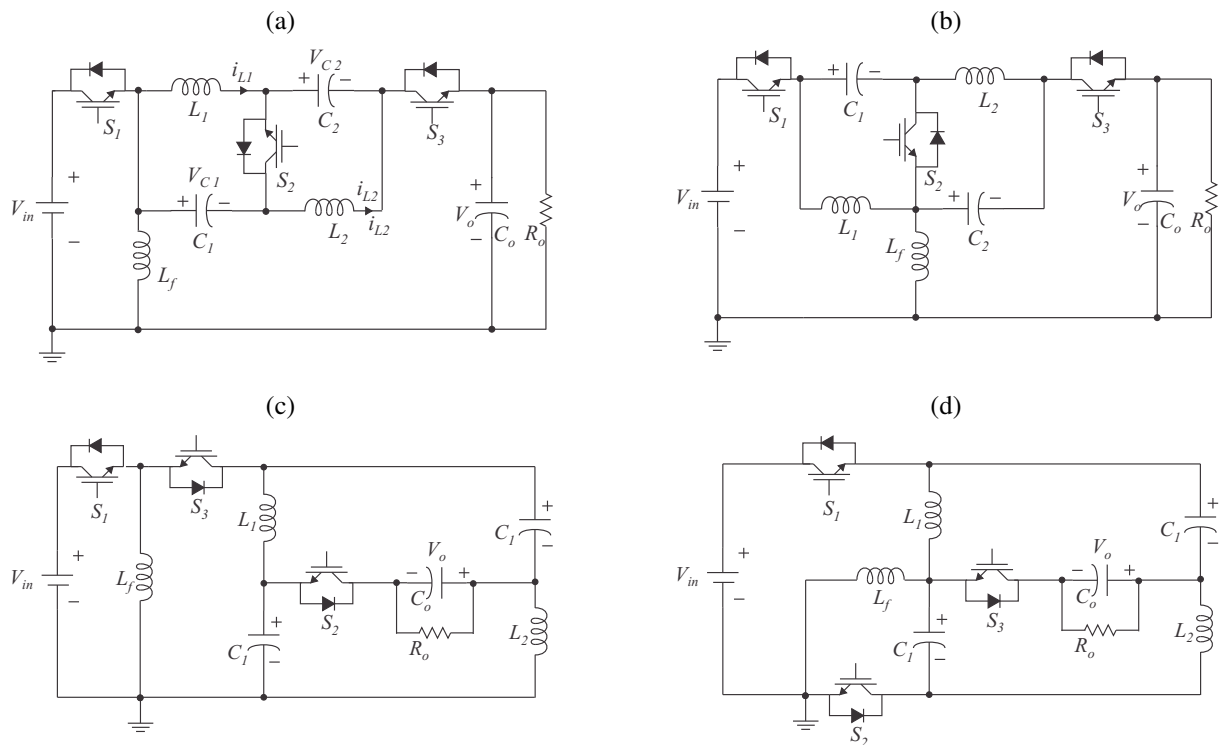
O caso desfavorável (de maior corrente) ocorre quando S_2 está desligada: $i_C = i_L$. Portanto,

$$i_{S1} = i_{Lf} - 2i_L = i_{Lf} - 2i_o. \quad (57)$$

Já o esforço de corrente é a corrente máxima que flui na chave. Assim:

$$\begin{aligned}i_S &= \max(i_{Lf}) + \max(-2i_o) \\ i_S &= AI_o + 2I_o = (A+2)I_o.\end{aligned}\quad (58)$$

Figura 29 – Família TSTS-ZSIs com entrada do tipo *buck-boost* proposta em (HUANG et al., 2013).



Fonte: (HUANG et al., 2013).

2.4 Família de TSTS-ZSIs com Entradas do Tipo *Buck-Boost*

Seguindo o mesmo raciocínio da família de TSTS-ZSIs com entrada do tipo *boost*, pode-se desenvolver topologias TSTS-ZSI com a entrada *buck-boost*, como os circuitos na Figura 29, todas propostas em (HUANG et al., 2013).

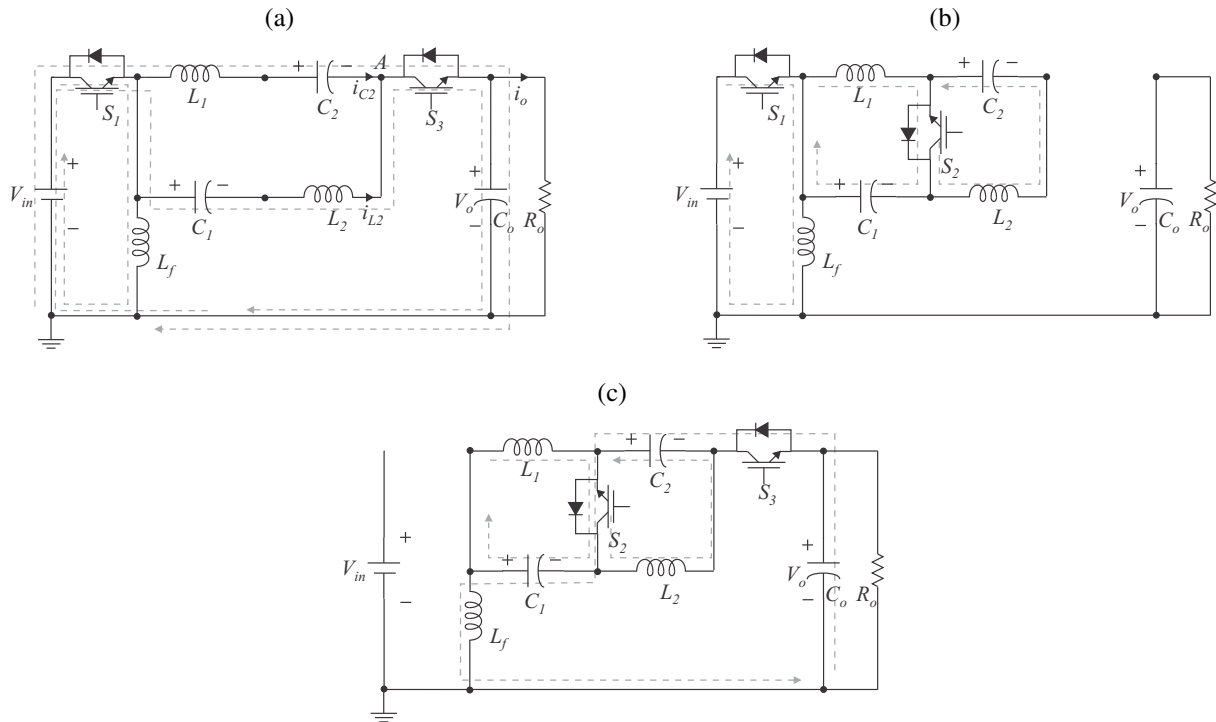
Assim como nas topologias tipo *boost*, todas as quatro topologias mostradas na Figura 29 possuem as mesmas propriedades elétricas, inclusive seus esforços nas chaves segundo (HUANG et al., 2013). Entretanto, de forma a facilitar o desenvolvimento das equações seleciona-se a topologia da Figura 29a.

2.4.1 Operação dos inversores

Adotando o mesmo procedimento realizado para o inversor com entrada do tipo *boost* da seção anterior, chega-se à operação do inversor com entrada do tipo *buck-boost*. Sendo assim, observando a sequência de sinais mostrada na Figura 24, pode-se dividir o circuito na Figura 29a em três estados, mostrados na Figura 30.

Assumindo L_1 e L_2 iguais e C_1 e C_2 iguais, tem-se que a malha de impedâncias *semi-Z*

Figura 30 – Circuitos equivalentes dos três estados do inversor na Figura 29a: (a) Estado 1: S_1 e S_3 ligadas e S_2 desligada; (b) Estado 2: S_1 e S_2 ligadas e S_3 desligada. (c) Estado 3: S_2 e S_3 ligadas e S_1 desligada.



Fonte: próprio autor.

do circuito na Figura 29a é simétrica, ou seja, de forma resumida:

$$\begin{aligned}
 L_1 &= L_2 = L \\
 C_1 &= C_2 = C \\
 i_{L1} &= i_{L2} = i_L \\
 v_{C1} &= v_{C2} = v_C.
 \end{aligned} \tag{59}$$

Considerando a tensão média no indutor L_f igual a zero, percorre-se as malhas do circuito mostradas na Figura 30, de onde se obtém:

$$\begin{aligned}
 V_{in}D_1 + (2V_C + V_o)(1 - D_1) &= 0 \\
 \frac{2V_C + V_o}{V_{in}} &= -\frac{D_1}{1 - D_1}.
 \end{aligned} \tag{60}$$

Seguindo o mesmo raciocínio para o indutor L_1 , encontra-se:

$$\begin{aligned}
 D_2V_C + (1 - D_2)(V_{in} - V_C - V_o) &= 0 \\
 \frac{(V_{in} - V_o)}{V_C} &= -\frac{2D_2 - 1}{(1 - D_2)}.
 \end{aligned} \tag{61}$$

Substituindo (61) em (60) chega-se a:

$$\begin{aligned}\frac{V_o}{V_{in}} &= 1 - 2D_2 - \frac{D_1(2D_2 - 1)}{1 - D_1} \\ \frac{V_o}{V_{in}} &= 1 + \frac{1 - 2D_2}{1 - D_1}.\end{aligned}\quad (62)$$

Substituindo (62) em (60) chega-se a:

$$\begin{aligned}-\frac{2V_C}{V_{in}} &= \frac{D_1}{1 - D_1} + 1 + \frac{1 - 2D_2}{1 - D_1} \\ \frac{V_C}{V_{in}} &= \frac{2D_2 - 2}{2(1 - D_1)} = \frac{D_2 - 1}{1 - D_1}.\end{aligned}\quad (63)$$

Observando o nó A na Figura 30a, tem-se:

$$i_{L2} + i_{C2} = i_{C_o} + i_o. \quad (64)$$

Sabendo que os valores médios de i_{C2} e i_{C_o} são nulos, e que $i_{L2} = i_{L1} = i_L$ tem-se:

$$I_L = I_o. \quad (65)$$

Considerando um conversor sem perdas:

$$\begin{aligned}P_{in} &= P_{out} \\ V_{in}I_{in} &= V_{out}I_{out} \\ V_{in}(I_{Lf} + I_o) &= V_oI_o \\ V_{in}I_{Lf} &= (V_o - V_{in})I_o \\ \frac{I_{Lf}}{I_o} &= \frac{V_o}{V_{in}} - 1 = \frac{1 - 2D_2}{1 - D_1}.\end{aligned}\quad (66)$$

De forma resumida, têm-se como equações da família TSTS-ZSI tipo *buck-boost*:

$$\left\{ \begin{array}{l} \frac{V_o}{V_{in}} = 1 + \frac{1-2D_2}{1-D_1} \\ \frac{V_C}{V_{in}} = \frac{D_2-1}{1-D_1} \\ I_L = I_o \\ \frac{I_{Lf}}{I_o} = \frac{1-2D_2}{1-D_1} \end{array} \right. . \quad (67)$$

Similarmente ao ocorridos com os conversores do tipo *boost*, D_1 assume um valor constante, definindo o estágio *buck-boost* de entrada, com ganho constante. Assim, usando (60), tem-se:

$$\frac{2V_C + V_o}{V_{in}} = -\frac{D_1}{1 - D_1} = \frac{V_{buck-boost}}{V_{in}} = \frac{V_{bb}}{V_{in}} \Rightarrow V_{bb} \Rightarrow \text{constante}. \quad (68)$$

Define-se v_o e k como:

$$\begin{aligned}v_o &= AV_{in}\text{sen}(\omega t) \\ k &= \frac{D_1}{1 - D_1},\end{aligned}\quad (69)$$

onde k é o ganho do estágio *buck-boost* de conversão e o pico de tensão na saída é definido como AV_{in} , sendo A o ganho total do processo de conversão. Rearrmando (69) para obter D_1 em função de k , tem-se:

$$\begin{aligned} k - kD_1 &= D_1 \\ D_1 &= \frac{k}{1+k}. \end{aligned} \quad (70)$$

Utilizando (62) e (69), g é definido como o ganho instantâneo do estágio inversor:

$$g = \frac{v_o}{V_{in}} = 1 + \frac{1 - 2D_2}{1 - D_1} = 1 + (k+1)(1 - 2D_2). \quad (71)$$

Sabendo que $(D_1 + D_2) \geq 1$ e usando (70) e (71), tem-se que:

$$\begin{aligned} D_2 &\geq 1 - D_1 \\ 1 - 2D_2 &\leq 2D_1 - 1 = \frac{k-1}{k+1} \\ (k+1)(1 - 2D_2) &\leq k-1 \\ 1 + (k+1)(1 - 2D_2) &\leq k \Rightarrow g \leq k. \end{aligned} \quad (72)$$

Sabendo que $D_2 \leq 1$, tem-se que:

$$g \geq 1 + (k+1)(-1) \Rightarrow g \geq -k \quad (73)$$

Logo:

$$\begin{aligned} -k &\leq g \leq k \\ -kV_{in} &\leq v_o \leq kV_{in} \\ |v_o| &\leq kv_{in} \end{aligned} \quad (74)$$

Substituindo (69) em (71), deduz-se:

$$\begin{aligned} \frac{AV_{in}}{V_{in}} \text{sen}(\omega t) &= 1 + (k+1)(1 - 2D_2) \\ (k+1)2D_2 &= 1 + (1+k) - A \text{sen}(\omega t) \\ D_2 &= \frac{k+2}{2(k+1)} - \frac{A}{2(k+1)} \text{sen}(\omega t) \end{aligned} \quad (75)$$

É válido observar que D_2 possui dois termos: um constante, dependente de k , e um oscilatório, dependente de A e k . Por outro lado, a razão de trabalho D_2 nos conversores tipo *boost* só possuía o termo oscilatório, dependente de A e k . O aparecimento deste termo constante é referente a um valor c.c. que o conversor tende a gerar na sua saída. Assim, espera-se que o controle do inversor seja um pouco mais complexo que o do tipo *boost*, já que será necessária

uma técnica de eliminação da componente c.c. na tensão v_o , devido à não linearidade entre o valor k teórico e seu valor real.

Contudo, os conversores do tipo *buck-boost* possuem características de ganho k mais atrativas do que os conversores do tipo *boost*. Por exemplo, se for desejável uma tensão senoidal na saída com ganho máximo de 2, ou seja, $A = 2$, tem-se que o conversor do tipo *boost* necessitará de um $k = 4$ de forma a possibilitar que g permaneça entre -2 e $+2$. Ganho $k = 4$ significa que $(2V_c + V_o)$ assumirá um valor quatro vezes maior que a tensão de entrada V_{in} . Já para o conversor do tipo *buck-boost*, é possível obter g entre -2 e $+2$ somente com $k = 2$. Ou seja, com $(2V_c + V_o)$ somente duas vezes maior que V_{in} . Assim, os esforços de tensão nos componentes dos conversores *buck-boost* tendem a ser menores do que os dos conversores do tipo *boost*.

2.4.2 Esforços de tensão e corrente nas chaves

Substituindo os valores de D_1 e D_2 a partir de (70) e (75), respectivamente, em (63), encontra-se a tensão nos capacitores:

$$\frac{V_c}{V_{in}} = \frac{D_2 - 1}{1 - D_1} = \frac{(k + 2 - A \text{sen}(\omega t)) / (2(k + 1)) - 1}{(k + 1 - k) / (k + 1)}$$

$$V_c = -\frac{kV_{in} + AV_{in} \text{sen}(\omega t)}{2}. \quad (76)$$

Os esforços de tensão nas chaves S_1 , S_2 e S_3 da família com entrada do tipo *buck-boost* são obtidos através da análise de malhas dos circuitos nas figuras 30a-30c. Pelas figuras, observa-se que os esforços de tensão nas três chaves são iguais:

$$V_S = V_{in} - (2v_C + v_o). \quad (77)$$

Como $(2V_c + V_o)/V_{in} = -D_1/(1 - D_1)$ de (60), tem-se:

$$2V_c + V_o = -\frac{V_{in}D_1}{1 - D_1} \quad (78)$$

Assim,

$$V_S = V_{in} - (2v_C + v_o) = \frac{1 - D_1 + D_1}{1 - D_1} = \frac{V_{in}}{1 - D_1}. \quad (79)$$

Usando (70), chega-se a:

$$V_S = \frac{V_{in}}{(1 + k - k)/(1 + k)} = (1 + k)V_{in}. \quad (80)$$

Para analisar a corrente nos indutores, de (65), tem-se que

$$i_L = i_o = I_o \text{sen}(\omega t), \quad (81)$$

Considerando uma carga resistiva, onde $I_o = V_o/R_o$.

Substituindo os valores de D_1 e D_2 , dados em (70) e (75), respectivamente, em (66), chega-se a:

$$\frac{i_{Lf}}{i_o} = \frac{1 - 2D_2}{1 - D_1} = \frac{1 - (2 + k + A \text{sen}(\omega t))/(1 + k)}{1/(1 + k)}$$

$$i_{Lf} = I_o(A \text{sen}(\omega t) - 1) \text{sen}(\omega t). \quad (82)$$

Os esforços de corrente nas chaves S_1 , S_2 e S_3 da família com entrada do tipo *buck-boost* é obtido através da análise de nós dos circuitos nas figuras 30a-30c, quando as chaves estão fechadas. Pelas figuras, observa-se que o esforço de corrente na chave S_1 é:

$$i_{S1} = i_{Lf} + i_C + i_L. \quad (83)$$

O caso desfavorável (de maior corrente) ocorre quando S_2 está desligada: $i_C = i_L$. Portanto,

$$i_{S1} = i_{Lf} + 2i_L = i_{Lf} + 2i_o. \quad (84)$$

O esforço de corrente é a corrente máxima que flui na chave. Assim,

$$i_S = \max(i_{Lf}) + \max(2i_o) = (A - 1)I_o + 2I_o = (A + 1)I_o. \quad (85)$$

2.5 Análise das Topologias dos Tipos *Boost* e *Buck-Boost*

De modo a fazer uma análise comparativa entre as topologias do tipo *boost* e *buck-boost*, propõe-se nessa seção o uso dos parâmetros descritos em (HUANG et al., 2013) com o intuito apenas de escolher apenas uma topologia para a continuação do trabalho.

2.5.1 Escolha dos parâmetros dos conversores

Para a escolha dos parâmetros das famílias TSTS-ZSI, algumas considerações devem ser feitas. Primeiramente, os inversores alimentam cargas com valor eficaz de tensão igual a 220 V_{rms} ($V_o = 311,13$ V) e 60 Hz. É considerado que o caso crítico para a operação *boost* seria o ganho da tensão de saída $A = 1,75$. Isso implica que a mínima tensão que o arranjo de painéis fotovoltaicos pode assumir de forma que o inversor seja capaz de alimentar a carga é calculada como:

$$V_{in} = \frac{V_o}{A} = \frac{311,13}{1,75} = 177,79V. \quad (86)$$

Em (HUANG et al., 2013), os valores de indutâncias e capacitâncias foram escolhidos baseados na ondulação (*ripple*) de corrente para os indutores L_1 , L_2 e L_f e na ondulação de tensão para os capacitores C_1 , C_2 e C_o . A frequência de chaveamento (f_{sw}) é fixada em 20 kHz, um bom compromisso entre qualidade da tensão e da corrente de saída e perdas por chaveamento.

Nos capítulos seguintes serão realizados os dimensionamentos dos componentes utilizados nesse trabalho. Contudo, nesse ponto, objetivando obter os valores de rendimento e esforço nas chaves, para as duas famílias: *boost* e *buck-boost*, adotou-se os parâmetros definidos em (HUANG et al., 2013) como base, com exceção das tensões de entrada e saída, conforme apresentados na Tabela 2.

2.5.2 Metodologia para o cálculo do rendimento

Esta seção utiliza a metodologia apresentada em (BRADASCHIA et al., 2013), que permite comparar as perdas por condução e chaveamento em inversores só por simulação. Nesta metodologia, são utilizados os modelos matemáticos das chaves e diodos, com base em seus *datasheets*, com o intuito de representar as perdas no conversor. Considera-se que os resultados de simulação de perdas são apenas indicativo, tendo em vista que servem apenas como comparativo entre variações da mesma topologia, sem a necessidade de ter um valor de rendimento concreto.

A relação geral para a tensão de condução nos IGBTs e diodos é uma equação polinomial de segunda ordem:

$$V_{ce} = A_c \cdot i^2 + B_c \cdot i + C_c, \quad (87)$$

onde A_{ce} , B_{ce} e C_{ce} são coeficientes obtidos pelo ajuste das curvas dos dispositivos, fornecidas nos *data sheets*, V_{ce} é a tensão de condução e i é a corrente do dispositivo.

As perdas por chaveamento no *IGBT* e as perdas por recuperação reversa nos diodos são expressas como:

$$E_{sw} = (A_{sw} \cdot i^2 + B_{sw} \cdot i + C_{sw}) \cdot \frac{V_{dc}}{V_{dc}^{ref}}, \quad (88)$$

onde A_{sw} , B_{sw} e C_{sw} são coeficientes obtidos pelo ajuste das curvas de dados dos dispositivos, V_{dc}^{ref} é a tensão c.c. de referência utilizada pelo fabricante para obter as perdas de chaveamento e V_{dc} é a tensão instantânea da chave durante a simulação.

O módulo IGBT/diodo da Semikron, SKM50GB123D (1.200 V, 50 A), foi utilizado para obter a comparação entre os conversores do tipo *boost* e *buck-boost*. Para o IGBT, são calculadas as energias dissipadas nas etapas de ligar (E_{on} em mJ) e desligar (E_{off} em mJ) e a

Tabela 2 – Parâmetros das topologias.

Tensão de entrada $V_{in} = 177,79$ V	Indutância $L_f = 675$ μ H
Tensão de saída $V_o = 311,13$ V	Indutância $L_1 = 1000$ μ H
Máximo ganho de tensão $A = 1,75$	Capacitância $C_1 = 18,8$ μ F
Ganhos <i>boost</i> $k = 2$ e <i>buck-boost</i> $k = 2$	Capacitância de saída $C_o = 23,5$ μ F
Frequência de chaveamento $f_{sw} = 20$ kHz	Resistência da carga $R_o =$ variável

Fonte: próprio autor.

tensão de condução (V_{ce} em V). Para o diodo, são calculadas a energia dissipada na recuperação reversa (E_{rr} em mJ) e a tensão de condução (v_f em V). Baseando-se nas curvas de dados, são encontradas equações polinomiais de segunda ordem em que as perdas variam de acordo com o valor de corrente que circula no dispositivo:

$$\begin{cases} v_{ce} = A_{ce} \cdot i^2 + B_{ce} \cdot i + C_{ce} \\ E_{off} = A_{off} \cdot i^2 + B_{off} \cdot i + C_{off} \\ E_{on} = A_{on} \cdot i^2 + B_{on} \cdot i + C_{on} \\ v_f = A_F \cdot i^2 + B_F \cdot i + C_F \\ E_{rr} = A_{rr} \cdot i^2 + B_{rr} \cdot i + C_{rr} \end{cases} \quad (89)$$

Os coeficientes A_j , B_j e C_j mostrados na Tabela 3 são obtidos ao realizar um ajuste polinomial nas curvas do *datasheet* usando o método dos mínimos quadrados lineares.

As perdas nos elementos indutivos e capacitivos das topologias também são incluídas na simulação. Para isso, são usadas resistências de $9,4 \text{ m}\Omega$ para as capacitâncias, usando catálogo da WEG para capacitâncias de $19 \mu\text{F}$, tendo em vista que as capacitâncias $C_1 = C_2 = 18,8 \mu\text{F}$ e $C_o = 23,5 \mu\text{F}$ são muito próximas do valor de $19 \mu\text{F}$ (WEG, 2011). Para as indutâncias são usadas resistências de $280 \text{ m}\Omega$ para L_f e $330 \text{ m}\Omega$ para $L_1 = L_2$, valores obtidos a partir de ensaio experimental de indutores construídos no laboratório do Grupo de Eletrônica de Potência e Acionamentos Elétricos (GEPAE) da UFPE.

2.5.3 Comparação entre as topologias

Quatro topologias TSTS-ZSIs do tipo *boost* (Figura 27) foram propostas em (HUANG et al., 2013), mas apenas três delas têm a característica de aterramento duplo, em que o ponto de neutro da carga (ou rede) e o ponto negativo da fonte de entrada são aterrados, ou seja, a entrada e a saída da topologia compartilham o mesmo ponto de terra. Essa característica é adequada para sistemas fotovoltaicos sem transformador já que, na prática, elimina o problema da corrente de fuga. Portanto, esses três TSTS-ZSIs do tipo *boost* (figuras 27a, 27b e 27c) são considerados nessa comparação. Similarmente, quatro topologias TSTS-ZSIs do tipo *buck-boost* (Figura 29)

Tabela 3 – Coeficientes obtidos das curvas do *datasheet* SKM50GB123D.

$A_{ce} = -0,0005$	$B_{ce} = 0,0855$	$C_{ce} = 0,7131$
$A_{off} = -0,0003$	$B_{off} = 0,1029$	$C_{off} = 0,6662$
$A_{on} = 0,0003$	$B_{on} = 0,1573$	$C_{on} = 0,2297$
$A_F = -0,0001$	$B_F = 0,0265$	$C_F = 0,7580$
$A_{rr} = -0,0003$	$B_{rr} = 0,0605$	$C_{rr} = 0,2376$

Fonte: próprio autor.

foram também propostas em (HUANG et al., 2013), das quais apenas duas (figuras 29a e 29b) apresentam aterramento duplo e, portanto, são consideradas nessa comparação.

A Tabela 4 apresenta uma comparação entre as famílias TSTS-ZSIs, onde o máximo ganho da tensão A é definido como V_o/V_{in} e V_o e I_o são as amplitudes da tensão e da corrente de saída, respectivamente. As três topologias *boost* têm o mesmo esforço de tensão e ganho de tensão linear, representadas como TSTS *boost* na Tabela 4. As duas topologias *buck-boost* também têm as mesmas propriedades elétricas, representadas como TSTS *buck-boost* na Tabela 4. De acordo com a Tabela, as topologias do tipo TSTS *buck-boost* têm menores esforços de tensão e de corrente nas chaves. Essas características tornam a família de TSTS-ZSIs do tipo *buck-boost* mais atrativa para sistemas fotovoltaicos sem transformador.

Em (HUANG et al., 2013) realizou-se a comparação de rendimentos entre duas das oito topologias apresentadas, sendo uma do tipo *boost* e outra *buck-boost*, mostrando que essa última possuía maiores rendimentos que a primeira. Contudo, a fim de verificar os resultados, decidiu-se por realizar uma avaliação de rendimento das oito topologias apresentadas em (HUANG et al., 2013), com base na metodologia apresentada na seção anterior.

A fim de calcular o rendimento do TSTS-ZSI, as simulações são realizadas com os parâmetros da Tabela 3. O valor de carga R_o varia de acordo com a potência de saída desejada. A Tabela 5 apresenta os rendimentos das topologias das figuras 27a, 27b, 27c, 29a e 29b, pois apresentaram os maiores valores entre as oito topologias. Como esperado, a família TSTS-ZSI baseada em *buck-boost* apresenta o melhor resultado de rendimento em todas as faixas de potência de saída. Assim, a comparação por simulação serve para provar que a família *buck-boost* se mostrou com melhor rendimento que a família *boost*. Os resultados de simulação de perdas servem apenas como comparativo entre variações da mesma topologia, sem reproduzir de forma concreta o rendimento que um protótipo experimental apresentaria.

Devido às topologias do tipo TSTS *buck-boost* terem menores esforços de tensão e de corrente nas chaves, além de melhor resultado de rendimento, o TSTS-ZSI na Figura 29a é escolhido na continuação desse trabalho. Dessa forma, na próxima seção é apresentado um estudo das ondulações (*ripple*) dos componentes deste conversor, de forma a auxiliar o projeto realizado no Capítulo 3.

Tabela 4 – Análise comparativa dos TSTS ZSIs (HUANG et al., 2013).

	Boost	Eq.	Buck-boost	Eq.
Tensão nas chaves	$(2 + k) \cdot V_S = 711,08V$	(53)	$(1 + k) \cdot V_S = 533,31V$	(80)
Corrente nas chaves	$(A + 2) \cdot I_o$	(58)	$(A + 1) \cdot I_o$	(85)

Fonte: próprio autor.

Tabela 5 – Comparação de rendimento das topologias

Potência(W)	1000	2000	3000	4000	5000
<i>Boost</i> (Fig. 27a)	80,18%	85,22%	86,18%	86,46%	86,59%
<i>Boost</i> (Fig. 27b)	81,54%	85,29%	85,89%	85,99%	86,01%
<i>Boost</i> (Fig. 27c)	82,68%	86,15%	86,63%	86,62%	86,54%
<i>Buck-boost</i> (Fig. 29a)	86,12%	89,11%	89,16%	89,01%	88,80%
<i>Buck-boost</i> (Fig. 29b)	86,11%	88,89%	88,95%	88,77%	88,52%

Fonte: próprio autor.

2.6 Ondulações de Corrente e Tensão dos Componentes do TSTS tipo *buck-boost*

Para cálculo das ondulações nos componentes da topologia TSTS-ZSI do tipo *buck-boost*, observa-se dos circuitos na Figura 30, em que são apresentados os três estados do conversor:

- 1º Estado, Figura 30a $\Rightarrow S_1 = S_3 = ON \Rightarrow S_2 = OFF$
- 2º Estado, Figura 30b $\Rightarrow S_1 = S_2 = ON \Rightarrow S_3 = OFF$
- 3º Estado, Figura 30c $\Rightarrow S_2 = S_3 = ON \Rightarrow S_1 = OFF$

De forma a simplificar os cálculos, considerou-se:

- $C_1 = C_2 = C$;
- $L_1 = L_2 = L$;

Usando os circuitos na Figura 30, pode-se escrever as quatro equações de tensões nos indutores e correntes nos capacitores, obtendo-se:

$$v_{L_f} = D_1 V_{in} + (1 - D_1)(2v_C + v_o) \quad (90)$$

$$v_L = D_2 v_C + (1 - D_2)(V_{in} - v_C - v_o) \quad (91)$$

$$i_C = (1 - D_2)i_L - (1 - D_3)i_L - (1 - D_1)(i_{L_f} + i_L) \quad (92)$$

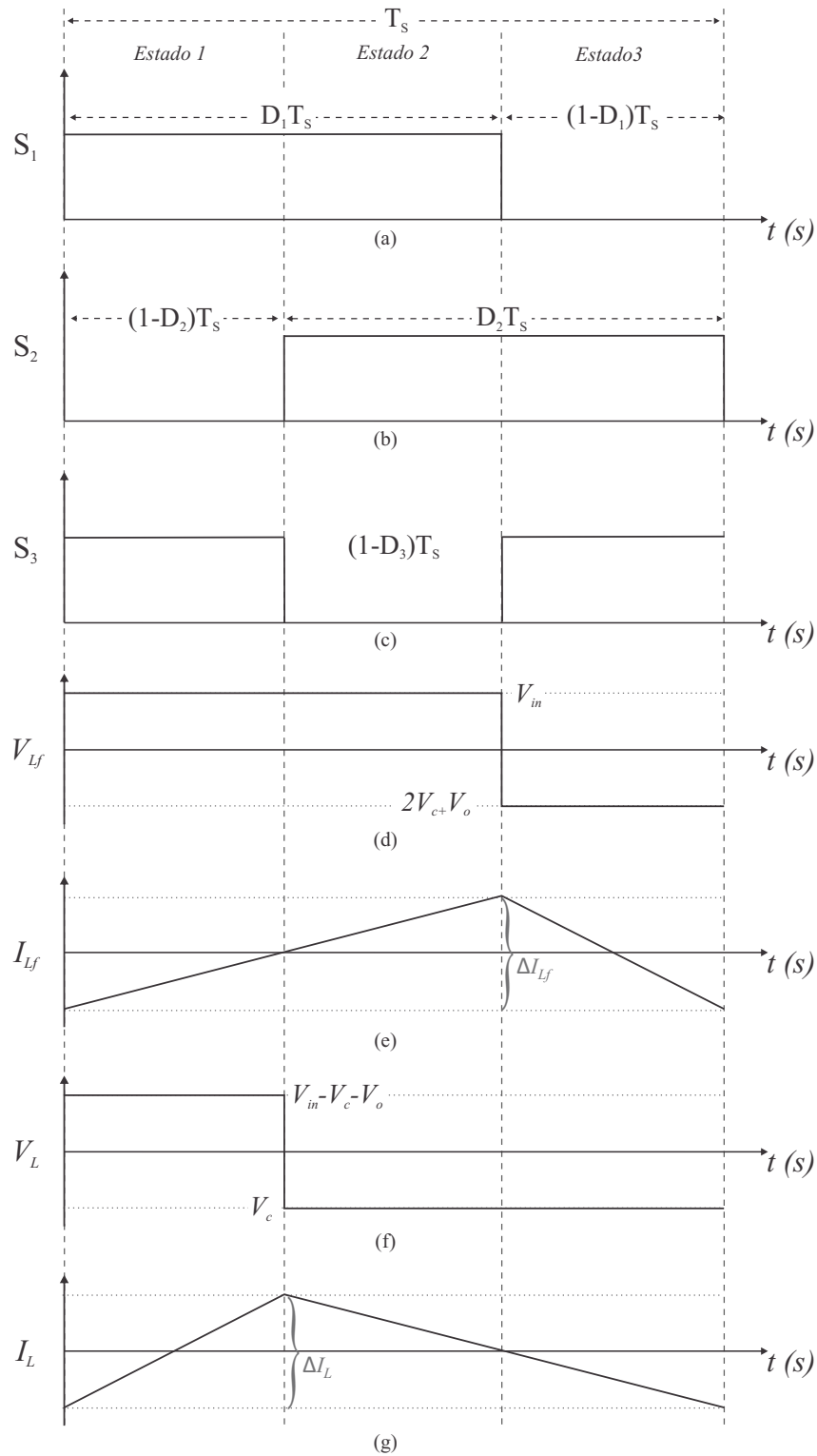
$$i_{C_o} = (1 - D_2 + 1 - D_3)(2i_L - v_o/R_o)i_{L_f} - (1 - D_1)(i_{L_f} + v_o/R_o) \quad (93)$$

A ondulação de corrente em L_f é encontrada ao analisar a tensão e da corrente de L_f (Figura 31) e usando (70):

$$\Delta I_{L_f} = \frac{T_s}{L_f} \int_0^{D_1} v_{L_f} dt = \frac{V_{in} T_s D_1}{L_f} \quad (94)$$

$$\Delta I_{L_f} = \frac{k}{k+1} \frac{V_{in} T_s}{L_f}. \quad (95)$$

Figura 31 – Tensões para o cálculo dos *ripples*: (a), (b) e (c) padrão de chaveamento estabelecido (Figura 24), desconsiderando o tempo morto; (d) e (e) Tensão e Corrente em L_f ; (f) e (g) Tensão e Corrente em L .



Fonte: próprio autor.

As ondulações de corrente em L_1 e L_2 são encontradas de forma semelhante a L_f :

$$\Delta I_L = \frac{T_s}{L} \int_0^{D_2} v_C dt = \frac{T_s}{L} v_C D_2. \quad (96)$$

Partindo de (60)

$$\frac{2v_c + v_o}{V_{in}} = -\frac{D_1}{1 - D_1} = -k, \quad (97)$$

usando (69) e (75) tem-se que

$$\Delta I_L = \frac{T_s}{4L} (kV_{in} + v_o) \left[\frac{k+2}{k+1} - \frac{V_o}{V_{in}} \frac{1}{k+1} \text{sen}(\omega t) \right] \quad (98)$$

$$\Delta I_L = \frac{V_{in} T_s}{4L} \frac{\left[k + \frac{V_o}{V_{in}} \text{sen}(\omega t) \right] \left[k + 2 - \frac{V_o}{V_{in}} \text{sen}(\omega t) \right]}{k+1}. \quad (99)$$

As ondulações de tensão em C_1 e C_2 são encontradas de forma semelhante às ondulações de corrente nos indutores, usando (75):

$$\Delta V_c = \frac{T_s}{C} i_L (1 - D_2) = \frac{T_s I_o}{C} |\text{sen}(\omega t)| (1 - D_2) \quad (100)$$

$$\Delta V_c = \frac{T_s I_o}{2C} |\text{sen}(\omega t)| \left[2 - \frac{k+2}{k+1} + \frac{V_o}{V_{in}(k+1)} \text{sen}(\omega t) \right] \quad (101)$$

$$\Delta V_c = \frac{T_s I_o}{2C(k+1)} |\text{sen}(\omega t)| \left(k + \frac{V_o}{V_{in}} |\text{sen}(\omega t)| \right). \quad (102)$$

A ondulação de tensão em C_o é encontrada de forma semelhante as ondulações de tensão nos capacitores C_1 e C_2 . Observa-se que a expressão de ΔV_o coincide com a expressão de ΔV_c no TSTS-ZSI do tipo *buck-boost*. Assim:

$$\Delta V_o = \frac{T_s I_o}{2C_o(k+1)} |\text{sen}(\omega t)| \left(k + \frac{V_o}{V_{in}} |\text{sen}(\omega t)| \right). \quad (103)$$

2.7 Conclusão

As topologias TSTS-ZSIs tipo *boost* e *buck-boost*, propostas em (HUANG et al., 2013) e detalhados nesse capítulo, possuem a capacidade de gerar tensões de saída senoidais com característica *buck-boost*, ou seja, em um único estágio, o inversor tem a capacidade de abaixar ou elevar a tensão de saída c.a. em relação à tensão de entrada c.c.. Essa característica é muito interessante em aplicações fotovoltaicas devido à variação da tensão nos terminais dos painéis em virtude da variação da irradiação solar e da temperatura ambiente.

Quando se trata especificamente da comparação entre as famílias dos TSTS-ZSIs, a topologia do tipo *buck-boost* possui maior rendimento que a topologia do tipo *boost*. As duas topologias *buck-boost* com característica de aterramento duplo têm características similares e foram simuladas para avaliação comparativa de rendimento, com pequena vantagem para a

topologia na Figura 29a. Além do rendimento um pouco superior, outro fator importante é a simplicidade (redução de componentes) na adaptação da topologia monofásica para a trifásica, tendo em vista que os três indutores L_f monofásicos podem ser agrupados e transformados em apenas um indutor L_f na topologia trifásica. Portanto, o TSTS-ZSI na Figura 29a é escolhido para a continuação desse trabalho. A modelagem e o controle do inversor escolhido são feitos no próximo capítulo.

3 MODELAGEM E CONTROLE DO INVERSOR BUCK-BOOST MONOFÁSICO DE TRÊS ESTADOS COM TRÊS CHAVES

Todo o desenvolvimento dos modelos matemáticos do capítulo anterior foi realizado com base em equações estáticas, ou de regime permanente. Após a definição da topologia a ser estudada, dentre as apresentadas no capítulo anterior, faz-se necessário o desenvolvimento de modelos dinâmicos que possam subsidiar o desenvolvimento da estratégia de controle.

3.1 Modelagem Dinâmica

Para escolha da estratégia de controle a ser utilizada mais à frente, tornou-se necessário o desenvolvimento de um modelo que reproduzisse as variações dinâmicas que ocorrem na topologia *buck-boost* monofásica, para posterior extensão às topologias trifásicas. Para tanto, buscou-se desenvolver as equações de estado através da observação dos circuitos das figuras 30a a 30c, desenvolvidos com base no padrão de chaveamento (Figura 24). Nestas figuras divide-se a operação do circuito em três estados:

- 1º Estado, Figura 30a $\Rightarrow S_1 = S_3 = ON, S_2 = OFF$
- 2º Estado, Figura 30b $\Rightarrow S_1 = S_2 = ON, S_3 = OFF$
- 3º Estado, Figura 30c $\Rightarrow S_2 = S_3 = ON, S_1 = OFF$.

De forma a simplificar os cálculos, para as deduções seguintes considerou-se:

- $C_1 = C_2 = C$;
- $L_1 = L_2 = L$.

Para a primeira análise das equações, deve-se observar a malha de entrada durante os três estados, conforme detalhado a seguir:

- 1º e 2º Estados (D_1) $\Rightarrow L_f \frac{di_{Lf}}{dt} = V_{in}$
- 3º Estado ($1 - D_1$) $\Rightarrow L_f \frac{di_{Lf}}{dt} = 2v_c + v_o$.

Somando as duas equações e realizando as multiplicações por suas respectivas razões de trabalho, a fim de se obter a média em um período de comutação, obtém-se como primeira

equação de estado:

$$\begin{aligned} L_f \frac{di_{Lf}}{dt} (D_1 + 1 - D_1) &= D_1 V_{in} + (1 - D_1)(2v_c + v_o) \\ L_f \frac{di_{Lf}}{dt} &= D_1 V_{in} + (1 - D_1)(2v_c + v_o). \end{aligned} \quad (104)$$

A próxima equação pode ser obtida percorrendo a malha semi-Z do circuito durante cada um dos três estados. Dessa análise encontra-se:

- 1º Estado ($1 - D_2$) $\Rightarrow L \frac{di_L}{dt} = V_{in} - v_c - v_o$
- 2º e 3º Estados (D_2) $\Rightarrow L \frac{di_L}{dt} = v_c$.

Dando seguimento a análise, somando-se as duas equações e multiplicando-as pelas respectivas razões de trabalho, chega-se a segunda equação de estado:

$$\begin{aligned} L \frac{di_L}{dt} (D_2 + 1 - D_2) &= V_{in}(1 - D_2) + v_c[D_2 - (1 - D_2)] + v_o(D_2 - 1) \\ L \frac{di_L}{dt} &= (1 - D_2)V_{in} + (2D_2 - 1)v_c + (D_2 - 1)v_o. \end{aligned} \quad (105)$$

É possível encontrar a terceira equação analisando os nós na malha semi-Z nos três estados, de forma similar ao raciocínio anterior. Dessa análise dos nós nos três estados encontra-se as seguintes condições:

- 1º Estado ($1 - D_2$) $\Rightarrow C \frac{dv_c}{dt} = i_L$
- 2º Estado ($1 - D_3$) $\Rightarrow C \frac{dv_c}{dt} = -i_L$
- 3º Estado ($1 - D_1$) $\Rightarrow C \frac{dv_c}{dt} = -i_{Lf} - i_L$.

Considerando as razões de trabalho de cada estado obtém-se a terceira equação de estado:

$$\begin{aligned} (3 - D_1 - D_2 - D_3)C \frac{dv_c}{dt} &= i_L(1 - D_2 - 1 + D_3 - 1 + D_1) + i_{Lf}(D_1 - 1) \\ (3 - D_1 - D_2 - D_3)C \frac{dv_c}{dt} &= (-1 - D_2 + D_3 + D_1)i_L + (D_1 - 1)i_{Lf}. \end{aligned} \quad (106)$$

Para encontrar a última equação deve-se analisar as correntes no nó próximo a carga, também durante os três estados:

- 1º Estado ($1 - D_2$) $\Rightarrow C_o \frac{dv_o}{dt} = 2i_L - \frac{v_o}{R_o}$
- 2º Estado ($1 - D_3$) $\Rightarrow C_o \frac{dv_o}{dt} = -\frac{v_o}{R_o}$
- 3º Estado ($1 - D_1$) $\Rightarrow C_o \frac{dv_o}{dt} = -i_{Lf} - \frac{v_o}{R_o}$.

Assim, seguindo o mesmo procedimento realizado anteriormente, é possível encontrar a quarta equação de estado:

$$\begin{aligned} (3 - D_1 - D_2 - D_3)C_o \frac{dv_o}{dt} &= 2(1 - D_2)i_L - (1 - D_1)i_{Lf} \\ &- (3 - D_1 - D_2 - D_3)\frac{v_o}{R_o}. \end{aligned} \quad (107)$$

É possível ainda simplificar (104) a (107) sabendo que $D_3 = 2 - D_1 - D_2$, conforme demonstrado em (30).

Dessa forma, pode-se reescrever as quatro equações encontradas, obtendo-se:

$$L_f \frac{di_{Lf}}{dt} = (1 - D_1)(2v_c + v_o) + D_1 V_{in} \quad (108)$$

$$L \frac{di_L}{dt} = (1 - D_2)V_{in} + (2D_2 - 1)v_c + (D_2 - 1)v_o \quad (109)$$

$$C \frac{dv_c}{dt} = (1 - 2D_2)i_L + (D_1 - 1)i_{Lf} \quad (110)$$

$$C_o \frac{dv_o}{dt} = 2(1 - D_2)i_L - (1 - D_1)i_{Lf} - \frac{v_o}{R_o}. \quad (111)$$

Com base nas quatro equações dinâmicas encontradas pode-se obter as equações estáticas demonstradas em (67). Para isso, basta considerar que o circuito esteja em regime, de forma que as derivadas de (108) a (111) tenham valor nulo, e realizar algumas manipulações matemáticas.

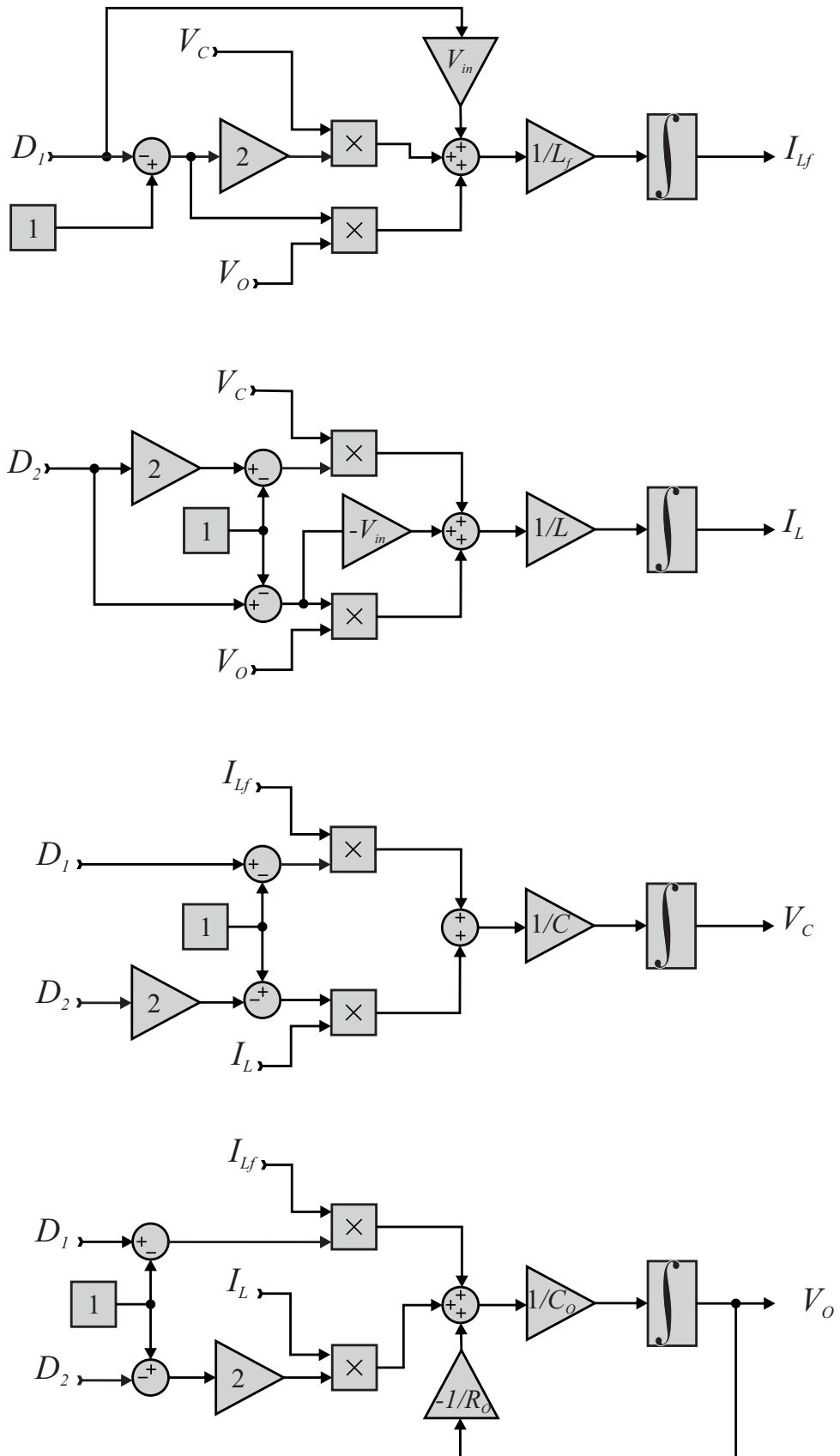
Reorganizando as equações obtém-se o sistema matricial a seguir:

$$\frac{d}{dt} \begin{pmatrix} i_{Lf} \\ i_L \\ v_c \\ v_o \end{pmatrix} = \begin{pmatrix} 0 & 0 & \frac{2(1-D_1)}{L_f} & \frac{(1-D_1)}{L_f} \\ 0 & 0 & \frac{(2D_2-1)}{L} & \frac{(D_2-1)}{L} \\ \frac{(D_1-1)}{C} & \frac{(1-2D_2)}{C} & 0 & 0 \\ \frac{(D_1-1)}{C_o} & \frac{2(1-D_2)}{C_o} & 0 & \frac{-1}{C_o R_o} \end{pmatrix} \begin{pmatrix} i_{Lf} \\ i_L \\ v_c \\ v_o \end{pmatrix} + \begin{pmatrix} \frac{D_1}{L_f} \\ \frac{(1-D_2)}{L} \\ 0 \\ 0 \end{pmatrix} V_{in}. \quad (112)$$

Esse sistema matricial pode, ainda, ser apresentado em formato de diagramas de blocos (Figura 32), servindo de referência para simulações do modelo matemático.

Nesse ponto, vale salientar que a topologia não trabalha no modo de condução descontínua, pois o conversor possui chaves com diodos de roda livre, possibilitando a operação bidirecional. Portanto as equações encontradas são válidas para quaisquer valores, positivos ou negativos, das correntes nos indutores.

Figura 32 – Diagrama de blocos do sistema matricial em (112).

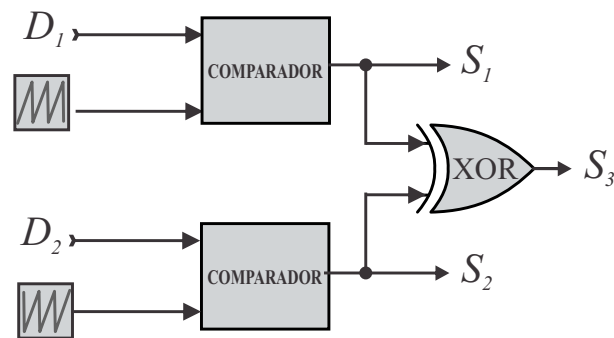


Fonte: próprio autor.

Tabela 6 – Parâmetros da topologia *buck-boost* monofásica de três estados.

Tensão de entrada $V_{in} = 177,79$ V	Indutância $L_f = 675$ μ H
Tensão de saída $V_o = 311,13$ V	Indutância $L = 1000$ μ H
Máximo ganho de tensão $A = 1,75$	Capacitância $C = 18,8$ μ F
Ganho <i>buck-boost</i> $k = 2$	Capacitância de saída $C_o = 23,5$ μ F
Frequência de chaveamento $f_{sw} = 20$ kHz	Resistência da carga $R_o = 96,8$ Ω

Fonte: próprio autor.

Figura 33 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 , S_2 e S_3 .

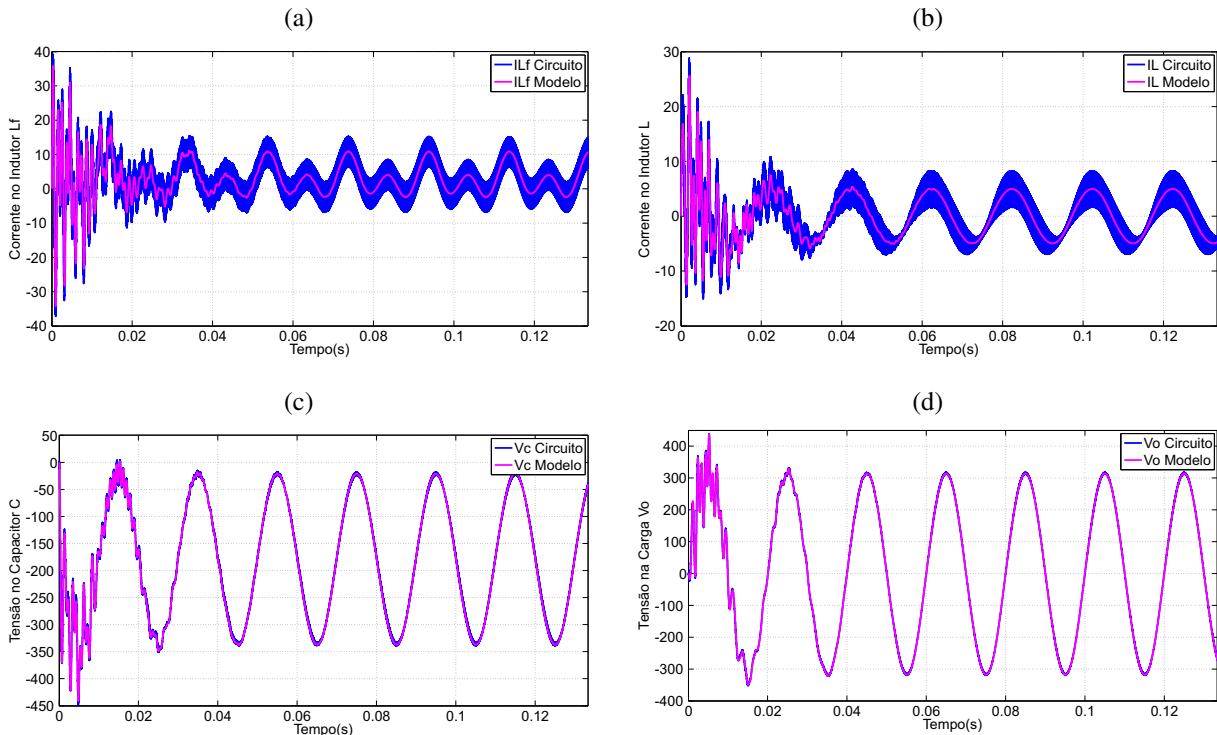
Fonte: próprio autor.

Utilizando o sistema encontrado, foram realizadas algumas simulações a fim de validar a referida modelagem com base na Tabela 6. O valor de R_o nessa tabela considera a alimentação de uma carga de 500 W. Os sinais de gatilho das chaves S_1 , S_2 e S_3 , para simulação do circuito podem ser obtidos, conforme ilustrado na Figura 33.

Na Figura 34 são apresentados os resultados das simulações, sobrepondo as curvas do modelo e do circuito real. Nos gráficos da Figura 34, propositadamente foi mostrada a energização do circuito, onde é possível perceber que o modelo dinâmico encontrado consegue reproduzir, inclusive, os transitórios do circuito.

Para uma melhor visualização dos resultados apresentados nos gráficos da Figura 34, foram obtidos novos resultados, considerando apenas o regime permanente das grandezas (Figura 35). Através dos mesmos é possível verificar que as diferenças entre modelo e circuito ocorrem devido às oscilações oriundas do chaveamento. Estas diferenças são mais acentuadas nos gráficos das correntes I_{L_f} (Figura 35a) e I_L (Figura 35b), mas estão dentro dos patamares esperados de ondulações obtidos através de (95) e (99), em torno de 8,7 A e 6,2 A, respectivamente, considerando os dados de simulação (Tabela 6). Referente às tensões, o modelo praticamente reproduz os resultados obtidos do circuitos de V_c (Figura 35c) e V_o (Figura 35d), pois seus valores de ondulações obtidos através de (102) e (103), em torno de 5,2 V e 5,23 V, respectivamente, são menos relevantes frente a suas escalas de grandeza.

Figura 34 – Comparação entre as tensões e correntes obtidas do circuito e modelo, incluindo o período transitório.



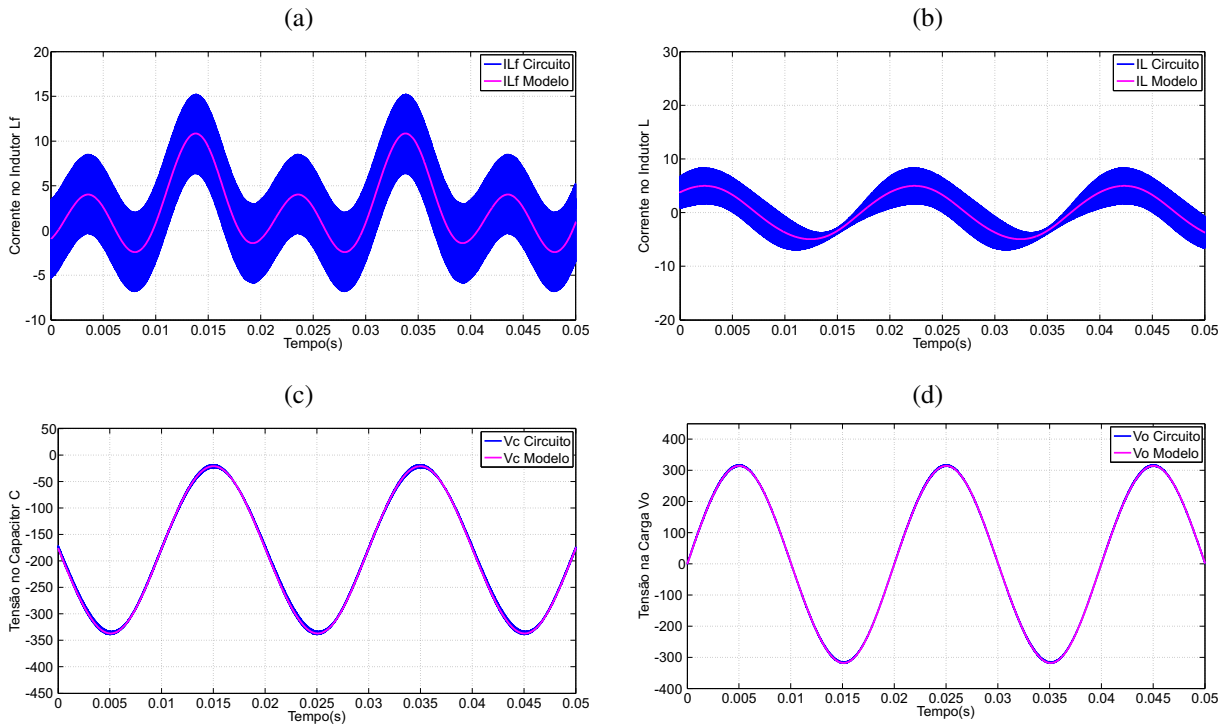
Fonte: próprio autor.

A fim de validar o modelo dinâmico encontrado, foram obtidos resultados realizando a média na frequência de chaveamento (f_{sw}) dos valores de grandezas do circuito (Figura 36). É possível verificar que com a eliminação das ondulações, as curvas das grandezas oriundas do modelo praticamente se sobrepõem as do circuito, ratificando a validade do modelo. Como era esperado, a introdução dos valores médios do circuito causou mais impacto nas ondas de corrente, por possuírem patamares de ondulações relativamente maiores que os das tensões. Tal constatação demonstra que o controle através das correntes dos indutores poderia ficar inviabilizado em virtude de suas ondulações. Portanto, a busca de controle através das tensões V_o e V_c torna-se natural, como desenvolvido mais adiante.

O próximo passo a ser alcançado seria o desenvolvimento do controle. Porém, ao analisar-se o sistema de equações encontrado, percebe-se que o mesmo é do tipo não linear. Afinal, têm-se quatro equações diferenciais interdependentes e para solução de uma das variáveis de estado, obtém-se, no mínimo, um sistema de segunda ordem.

A título de exemplo da afirmação anterior, pode-se obter a equação dinâmica de v_{bb} (tensão do barramento c.c. virtual da topologia *buck-boost*), já demonstrada em nível estático no Capítulo 2 através de (68), como sendo $2v_c + v_o$. A referida tensão é utilizada mais à frente como base para o controle, pois produz um sinal aproximadamente constante, conforme pode ser

Figura 35 – Comparação entre as tensões e correntes obtidas do circuito e modelo, apenas em regime permanente.



Fonte: próprio autor.

observado na Figura 37, possibilitando a aplicação de um controle proporcional integral (PI). Uma maneira de entender essa escolha é através da comparação das figuras 34c e 34d, de v_c e v_o , respectivamente. É possível observar que essas duas tensões estão defasadas em torno de 180° uma da outra, tendo a adição das duas potencial para produzir um sinal constante.

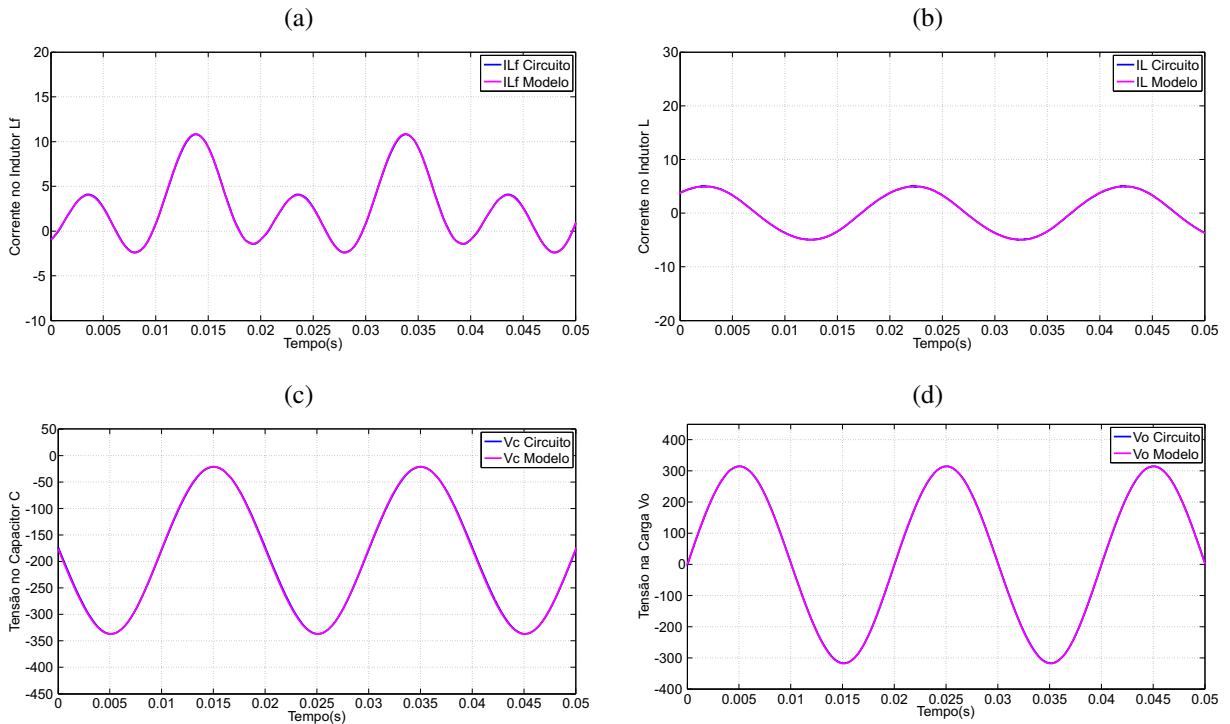
Para encontrar a equação de V_{bb} basta somar (111) com o dobro de (110) obtendo-se:

$$\frac{d(2v_c + v_o)}{dt} = 2i_L \left[\frac{(1 - 2D_2)}{C} + \frac{(1 - D_2)}{C_o} \right] + i_{L_f}(D_1 - 1) \left[\frac{2}{C} + \frac{1}{C_o} \right] - \frac{V_o}{C_o R_o}. \quad (113)$$

Substituindo-se os valores de I_{L_f} e I_L , com base em (108) e (109), respectivamente, em (113) e depois considerando que $V_{bb} = 2V_c + V_o$ obtém-se:

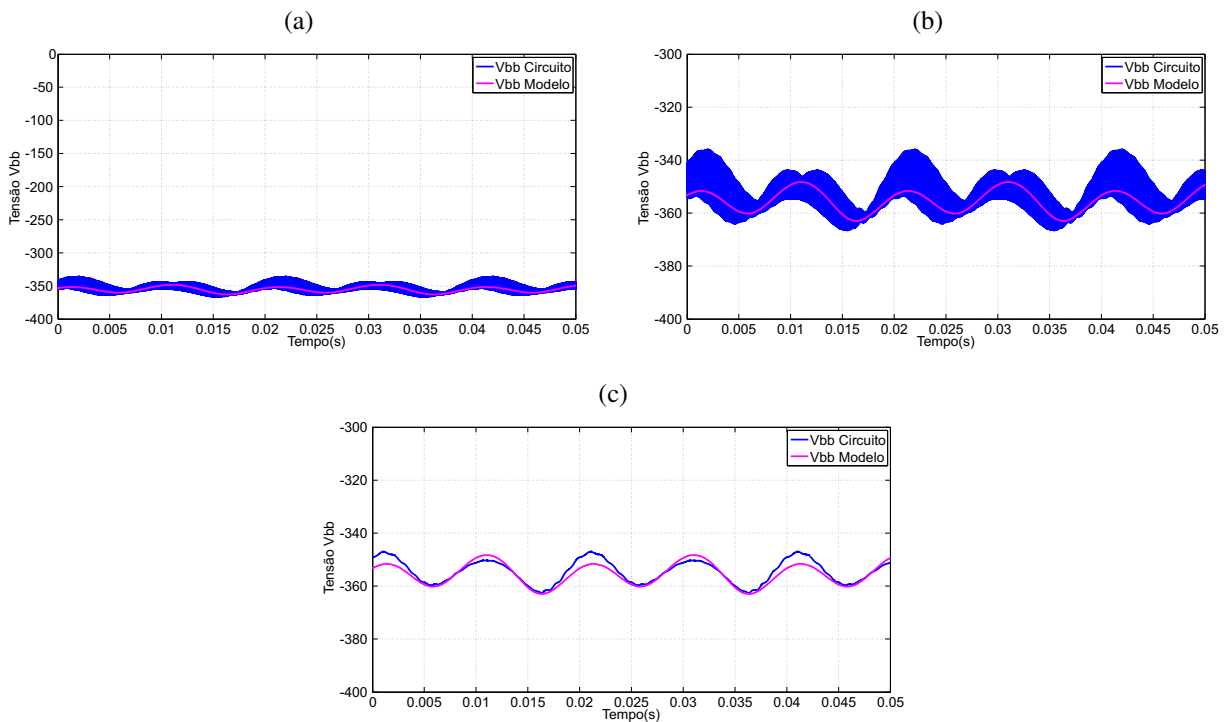
$$\begin{aligned} \frac{d(2v_c + v_o)}{dt} &= 2 \left[\frac{(1 - 2D_2)}{CL} + \frac{(1 - D_2)}{C_o L} \right] [(1 - D_2)V_{in} + (2D_2 - 1)v_c + (D_2 - 1)v_o] \\ &\quad + (D_1 - 1) \left(\frac{2}{CL_f} + \frac{1}{C_o L_f} \right) [(1 - D_1)(2v_c + v_o) + D_1 V_{in}] - \frac{dv_o}{dt} \frac{1}{C_o R_o} \\ \frac{dv_{bb}}{dt} &= 2 \left[\frac{(1 - 2D_2)}{CL} + \frac{(1 - D_2)}{C_o L} \right] [(1 - D_2)V_{in} + v_{bb}D_2 - v_{bb} + v_c] - \frac{dv_o}{dt} \frac{1}{C_o R_o} \\ &\quad + (D_1 - 1) \left(\frac{2}{CL_f} + \frac{1}{C_o L_f} \right) [(1 - D_1)v_{bb} + D_1 V_{in}]. \quad (114) \end{aligned}$$

Figura 36 – Comparação entre as tensões e correntes obtidas do circuito e modelo, apenas em regime permanente, realizando uma média na frequência de chaveamento (f_{sw}) nos valores das grandezas do circuito.



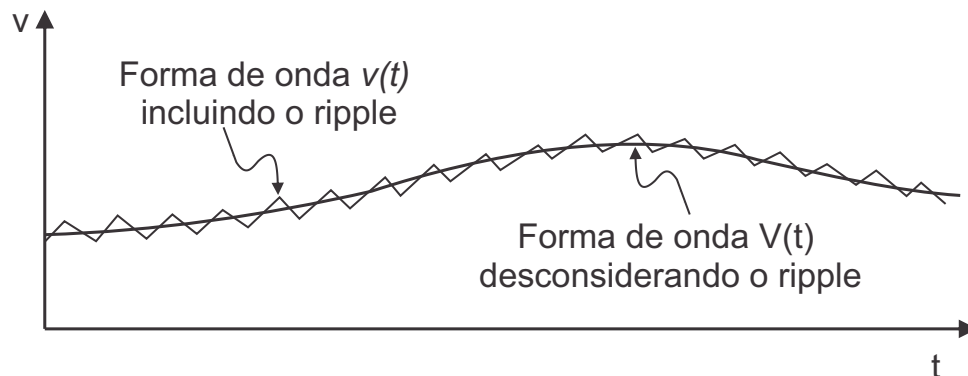
Fonte: próprio autor.

Figura 37 – Gráfico de V_{bb} , em regime permanente: (a) Maior escala de tensão; (b) Menor escala de tensão; (c) Considerando média na frequência de chaveamento (f_{sw}) de V_c (Figura 36c) e V_o (Figura 36d) do circuito.



Fonte: próprio autor.

Figura 38 – Ilustração de uma tensão $v(t)$ com e sem as ondulações de alta frequência (ERICKSON; MAKSIMOVIC, 2004).



Fonte: próprio autor.

Mesmo considerando que apenas D_1 realiza contribuições significativas para V_{bb} e que os termos de D_2 são uma constante, baseado em (114):

$$\frac{dv_{bb}^2}{dt} = [v_{bb}D_2 - v_{bb} + v_c] + (D_1 - 1) \left(\frac{2}{CL_f} + \frac{1}{C_oL_f} \right) [(1 - D_1)v_{bb}] - \frac{dv_o}{dt} \frac{1}{C_oR_o}. \quad (115)$$

Ao observar a equação anterior fica claro que a mesma é não linear, impossibilitando a utilização das teorias de controle clássicas para sistemas lineares e invariantes no tempo.

Sabe-se que a obtenção de uma solução de controle para esse tipo de sistema seria possível através da utilização das teorias de controle para sistemas não lineares ou realizando a linearização do mesmo em um determinado ponto de operação, de forma a possibilitar a aplicação das teorias clássicas de controle (ERICKSON; MAKSIMOVIC, 2004). Escolheu-se a segunda opção, considerando sua teórica simplicidade.

3.2 Modelagem em Pequenos Sinais

A modelagem de pequenos sinais consiste na linearização das equações em torno de um ponto de equilíbrio pré-determinado. Para tanto, é necessário considerar que as ondulações de chaveamento são pequenas em um conversor operando em modo contínuo. A Figura 38 ilustra uma curva de tensão de um conversor hipotético, com e sem a influência do chaveamento.

Assim, a modelagem em pequenos sinais, da mesma forma que o modelo dinâmico encontrado anteriormente, tem por princípio ignorar as ondulações de chaveamento e considerar apenas variações c.a. em baixa frequência nas formas de onda do conversor (ERICKSON; MAKSIMOVIC, 2004).

A título de ilustração da metodologia, de forma a entender as deduções que se seguirão,

suponha que uma variação (distúrbio) c.a. (\hat{d}) é introduzido em uma razão de trabalho d :

$$d(t) = \bar{D} + D_m \cos(\omega_m t), \quad (116)$$

onde:

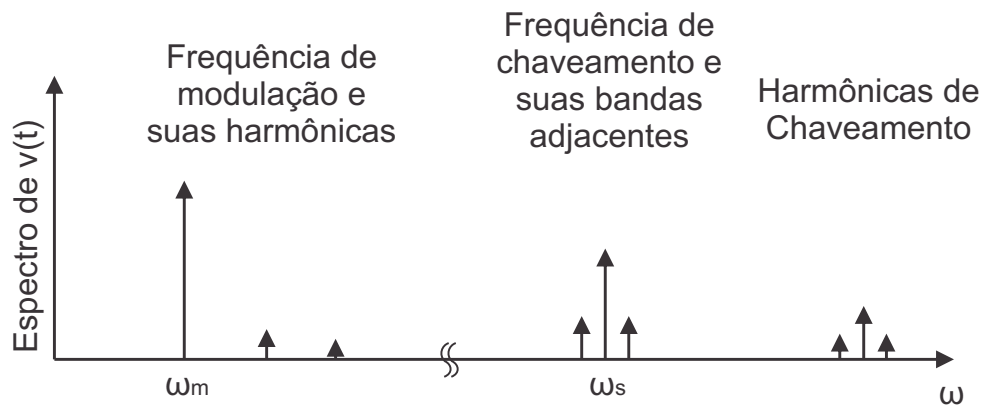
- $\hat{d} = D_m \cos(\omega_m t)$ é o distúrbio em torno do ponto \bar{D} ;
- D_m e \bar{D} são constantes;
- $|D_m| \ll \bar{D}$;
- ω_m é a frequência de modulação;
- $\omega_s = 2\pi f_s$ é a frequência de chaveamento;
- $\omega_m \ll \omega_s$.

Ao observar o espectro de harmônicos na Figura 39 de um conversor hipotético, percebe-se que a modelagem atuará como um filtro para altas frequências.

Assim, seria possível modelar a tensão $v(t)$ considerando $v(t) = \bar{V} + \hat{v}$, conforme ilustrado na Figura 40, onde:

- \hat{v} é o distúrbio em torno do ponto \bar{V} ;
- \bar{V} é o ponto de operação escolhido para linearização;
- $|\hat{v}| \ll |\bar{V}|$.

Figura 39 – Ilustração do espectro da tensão $v(t)$ da Figura 38 (ERICKSON; MAKSIMOVIC, 2004).



Fonte: próprio autor.

Mais detalhes sobre essa metodologia podem ser encontrados em (ERICKSON; MAKSIMOVIC, 2004). Porém, verifica-se que é possível aplicá-la em sistemas não lineares, como o de (108) a (111). Para tanto deve-se fazer as seguintes considerações:

$$D_1 = \bar{D}_1 + \hat{d}_1 \Rightarrow \bar{D}_1 \gg \hat{d}_1 \quad (117)$$

$$D_2 = \bar{D}_2 + \hat{d}_2 \Rightarrow \bar{D}_2 \gg \hat{d}_2 \quad (118)$$

$$i_{Lf} = \bar{I}_{Lf} + \hat{i}_{Lf} \Rightarrow \bar{I}_{Lf} \gg \hat{i}_{Lf} \quad (119)$$

$$i_L = \bar{I}_L + \hat{i}_L \Rightarrow \bar{I}_L \gg \hat{i}_L \quad (120)$$

$$v_c = \bar{V}_c + \hat{v}_c \Rightarrow \bar{V}_c \gg \hat{v}_c \quad (121)$$

$$v_o = \bar{V}_o + \hat{v}_o \Rightarrow \bar{V}_o \gg \hat{v}_o. \quad (122)$$

Substituindo esses valores em (108) obtém-se:

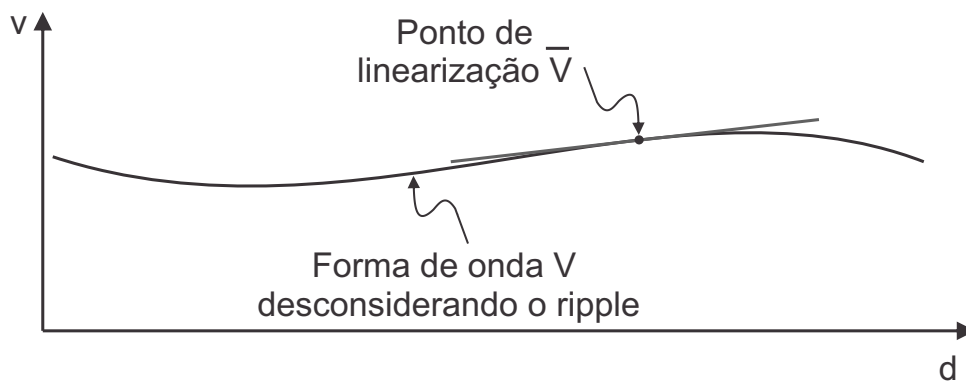
$$L_f \frac{d(\bar{I}_{Lf} + \hat{i}_{Lf})}{dt} = [1 - (\bar{D}_1 + \hat{d}_1)][2(\bar{V}_c + \hat{v}_c) + (\bar{V}_o + \hat{v}_o)] + (\bar{D}_1 + \hat{d}_1)V_{in} \quad (123)$$

$$L_f \frac{d\hat{i}_{Lf}}{dt} = 2(1 - \bar{D}_1)\hat{v}_c + (1 - \bar{D}_1)\hat{v}_o + (V_{in} - 2\bar{V}_c - \bar{V}_o)\hat{d}_1. \quad (124)$$

Deve-se notar que foram eliminados todos os termos os quais eram multiplicações de distúrbios: $\hat{d}_1 \cdot \hat{v}_c$ e $\hat{d}_1 \cdot \hat{v}_o$, pois como são multiplicações de valores bem menores que os do ponto linearizado pode-se considerá-los desprezíveis. Também foram desprezados todos os termos que dependiam apenas de valores constantes: \bar{V}_c , \bar{V}_o , $\bar{D}_1 \cdot \bar{V}_c$ e $\bar{D}_1 \cdot \bar{V}_o$, pois são as contribuições do ponto de equilíbrio escolhido e acrescentariam apenas um valor constante aos cálculos (ERICKSON; MAKSIMOVIC, 2004). Essa última simplificação facilita a percepção de quanto os distúrbios introduzidos afetam o sistema, através das equações.

Agora, aplicando a mesma metodologia utilizada na obtenção de (124) em (109), obtém-

Figura 40 – Ilustração da linearização em torno do ponto \bar{V} em relação a d .



Fonte: próprio autor.

se:

$$\begin{aligned} L \frac{d(\bar{I}_L + \hat{i}_L)}{dt} &= [1 - (\bar{D}_2 + \hat{d}_2)]V_{in} + [2(\bar{D}_2 + \hat{d}_2) - 1](\bar{V}_c + \hat{v}_c) + [(\bar{D}_2 + \hat{d}_2) - 1](\bar{V}_o + \hat{v}_o) \\ L \frac{d\hat{i}_L}{dt} &= (2\bar{D}_2 - 1)\hat{v}_c + (\bar{D}_2 - 1)\hat{v}_o + (2\bar{V}_c + \bar{V}_o - V_{in})\hat{d}_2. \end{aligned} \quad (125)$$

Da mesma forma para (110), tem-se:

$$\begin{aligned} C \frac{d(\bar{V}_c + \hat{v}_c)}{dt} &= [1 - 2(\bar{D}_2 + \hat{d}_2)](\bar{I}_L + \hat{i}_L) + [\bar{D}_1 + \hat{d}_1 - 1](\bar{I}_{Lf} + \hat{i}_{Lf}) \\ C \frac{d\hat{v}_c}{dt} &= (1 - 2\bar{D}_2)\hat{i}_L + (\bar{D}_1 - 1)\hat{i}_{Lf} + \hat{d}_1\bar{I}_{Lf} - 2\hat{d}_2\bar{I}_L. \end{aligned} \quad (126)$$

Por último para (111), obtém-se:

$$\begin{aligned} C_o \frac{d(\bar{V}_o + \hat{v}_o)}{dt} &= 2[1 - (\bar{D}_2 + \hat{d}_2)](\bar{I}_L + \hat{i}_L) - [1 - (\bar{D}_1 + \hat{d}_1)](\bar{I}_{Lf} + \hat{i}_{Lf}) - \frac{(\bar{V}_o + \hat{v}_o)}{R_o} \\ C_o \frac{d\hat{v}_o}{dt} &= (\bar{D}_1 - 1)\hat{i}_{Lf} + 2(1 - \bar{D}_2)\hat{i}_L + \hat{d}_1\bar{I}_{Lf} - 2\hat{d}_2\bar{I}_L - \frac{\hat{v}_o}{R_o}. \end{aligned} \quad (127)$$

Considerando que (124) a (127) formam um sistema linear, segundo (ERICKSON; MAKSIMOVIC, 2004), pode-se aplicar a transformada de *Laplace* nas mesmas e organizá-las em um sistema matricial, objetivando facilitar as deduções futuras:

$$\begin{aligned} \begin{pmatrix} \hat{i}_{Lf} \\ \hat{i}_L \\ \hat{v}_c \\ \hat{v}_o \end{pmatrix} s &= \begin{pmatrix} 0 & 0 & \frac{2(1-\bar{D}_1)}{L_f} & \frac{(1-\bar{D}_1)}{L_f} \\ 0 & 0 & \frac{(2\bar{D}_2-1)}{L} & \frac{(\bar{D}_2-1)}{L} \\ \frac{(\bar{D}_1-1)}{C} & \frac{(1-2\bar{D}_2)}{C} & 0 & 0 \\ \frac{(\bar{D}_1-1)}{C_o} & \frac{2(1-\bar{D}_2)}{C_o} & 0 & \frac{-1}{C_o R_o} \end{pmatrix} \begin{pmatrix} \hat{i}_{Lf} \\ \hat{i}_L \\ \hat{v}_c \\ \hat{v}_o \end{pmatrix} \\ &+ \begin{pmatrix} \frac{(V_{in}-2\bar{V}_c-\bar{V}_o)}{L_f} \\ 0 \\ \frac{\bar{I}_{Lf}}{C} \\ \frac{\bar{I}_{Lf}}{C_o} \end{pmatrix} \hat{d}_1 + \begin{pmatrix} 0 \\ \frac{(-V_{in}+2\bar{V}_c+\bar{V}_o)}{L} \\ \frac{-2\bar{I}_L}{C} \\ \frac{-2\bar{I}_L}{C_o} \end{pmatrix} \hat{d}_2. \end{aligned} \quad (128)$$

Objetivando facilitar os desenvolvimentos seguintes, evitando a repetição de incógnitas, o sistema será representado conforme

$$[Z]s = [A][Z] + [B_1]\hat{d}_1 + [B_2]\hat{d}_2. \quad (129)$$

Dividindo o sistema de (129) em duas partes, uma referente a \hat{d}_1 e outra referente a \hat{d}_2 , as soluções de ambas podem ser obtidas como se segue:

$$([I]s - [A])[Z] = [B_n]\hat{d}_n, \quad (130)$$

onde:

- $[I]$ é a matriz identidade;
- n é o índice que pode ser 1 ou 2.

Pode-se concluir que os valores de i_{Lf} , i_L , \hat{v}_c e \hat{v}_o são obtidos através da multiplicação de vetores unitários pelo vetor $[Z]$:

$$i_{Lf} = [C_1][Z] \quad (131)$$

$$i_L = [C_2][Z] \quad (132)$$

$$\hat{v}_c = [C_3][Z] \quad (133)$$

$$\hat{v}_o = [C_4][Z] \quad (134)$$

$$[C_1] = \begin{pmatrix} 1 & 0 & 0 & 0 \end{pmatrix} \quad (135)$$

$$[C_2] = \begin{pmatrix} 0 & 1 & 0 & 0 \end{pmatrix} \quad (136)$$

$$[C_3] = \begin{pmatrix} 0 & 0 & 1 & 0 \end{pmatrix} \quad (137)$$

$$[C_4] = \begin{pmatrix} 0 & 0 & 0 & 1 \end{pmatrix}. \quad (138)$$

Assim, as expressões de i_{Lf} , i_L , \hat{v}_c e \hat{v}_o podem ser obtidas através da solução do seguinte sistema:

$$i_{Lf} = [C_1]([I]s - [A])^{-1}[B_1]\hat{d}_1 + [C_1]([I]s - [A])^{-1}[B_2]\hat{d}_2 \quad (139)$$

$$i_L = [C_2]([I]s - [A])^{-1}[B_1]\hat{d}_1 + [C_2]([I]s - [A])^{-1}[B_2]\hat{d}_2 \quad (140)$$

$$\hat{v}_c = [C_3]([I]s - [A])^{-1}[B_1]\hat{d}_1 + [C_3]([I]s - [A])^{-1}[B_2]\hat{d}_2 \quad (141)$$

$$\hat{v}_o = [C_4]([I]s - [A])^{-1}[B_1]\hat{d}_1 + [C_4]([I]s - [A])^{-1}[B_2]\hat{d}_2. \quad (142)$$

Neste ponto percebe-se que a solução do sistema matricial torna-se complexa, necessitando de um caminho mais prático devido à dimensão do mesmo. Pelo exposto, decidiu-se pela utilização de uma ferramenta computacional que facilitasse o processo. Tendo em vista que o Matlab é o programa utilizado para realização das simulações, optou-se por utilizar uma de suas ferramentas, nomeada de *Mupad*. O mesmo possibilita a solução de sistemas matriciais literais, mas não realiza a minimização da solução. Assim, todas as soluções mostradas a seguir passaram por processo de conferência e simplificação para que fossem tão simples quanto possível.

Mesmo com as simplificações conseguidas, as soluções encontradas continuaram possuindo grande dimensão. Assim, para facilitar a transcrição e o entendimento das mesmas, as

equações (139) a (142) foram reescritas da seguinte forma:

$$\hat{i}_{L_f} = F_1(s)\hat{d}_1 + F_2(s)\hat{d}_2 \quad (143)$$

$$\hat{i}_L = F_3(s)\hat{d}_1 + F_4(s)\hat{d}_2 \quad (144)$$

$$\hat{v}_c = F_5(s)\hat{d}_1 + F_6(s)\hat{d}_2 \quad (145)$$

$$\hat{v}_o = F_7(s)\hat{d}_1 + F_8(s)\hat{d}_2 \quad (146)$$

onde:

$$F_1(s) = [C_1]([I]s - [A])^{-1}[B_1] \quad (147)$$

$$F_2(s) = [C_1]([I]s - [A])^{-1}[B_2] \quad (148)$$

$$F_3(s) = [C_2]([I]s - [A])^{-1}[B_1] \quad (149)$$

$$F_4(s) = [C_2]([I]s - [A])^{-1}[B_2] \quad (150)$$

$$F_5(s) = [C_3]([I]s - [A])^{-1}[B_1] \quad (151)$$

$$F_6(s) = [C_3]([I]s - [A])^{-1}[B_2] \quad (152)$$

$$F_7(s) = [C_4]([I]s - [A])^{-1}[B_1] \quad (153)$$

$$F_8(s) = [C_4]([I]s - [A])^{-1}[B_2] \quad (154)$$

É possível deduzir que as expressões $F_1(s)$ a $F_8(s)$ possuem numeradores distintos ($numF_n$), mas denominadores ($denF$) iguais pois possuem o mesmo termo $([I]s - [A])^{-1}$. O referido denominador é escrito a seguir a partir das simplificações dos resultados obtidos através do *Mupad*:

$$\begin{aligned} denF = & CC_oLL_fR_o s^4 + CLL_f s^3 + R_o(2CL_f + 2C_oL + C_oL_f - 2C\bar{D}_1L + C\bar{D}_1^2L \\ & + CL - 4C\bar{D}_2L_f - 4C_o\bar{D}_1L - 4C_o\bar{D}_2L_f + 2C\bar{D}_2^2L_f + 2C_o\bar{D}_1^2L + 4C_o\bar{D}_2^2L_f)s^2 \\ & + (2L + L_f - 4\bar{D}_1L - 4\bar{D}_2L_f + 2\bar{D}_1^2L + 4\bar{D}_2^2L_f)s + R_o(\bar{D}_1^2 - 2\bar{D}_1 + 1). \end{aligned} \quad (155)$$

Da mesma maneira têm-se como numeradores das expressões $F_1(s)$ a $F_8(s)$:

$$\begin{aligned} numF1 = & -(2\bar{V}_c - V_{in} + \bar{V}_o)CC_oLR_o s^3 \\ & + [(1 - \bar{D}_1)(2\bar{I}_{L_f}C_oLR_o + \bar{I}_{L_f}CLR_o) - (2\bar{V}_c - V_{in} + \bar{V}_o)CL]s^2 \\ & + [2\bar{I}_{L_f}L(1 - \bar{D}_1) - R_o(2\bar{V}_c - V_{in} + \bar{V}_o)(2C + C_o + 2C\bar{D}_2^2 + 4C_o\bar{D}_2^2 \\ & - 4C\bar{D}_2 - 4C_o\bar{D}_2)]s + \bar{I}_{L_f}R_o(1 - \bar{D}_1) - (2\bar{V}_c - V_{in} + \bar{V}_o)(4\bar{D}_2^2 - 4\bar{D}_2 + 1) \end{aligned} \quad (156)$$

$$\begin{aligned} numF2 = & (1 - \bar{D}_1)(-4\bar{I}_L C_oLR_o - 2\bar{I}_L CLR_o)s^2 + [(-2R_o(2\bar{V}_c - V_{in} \\ & + \bar{V}_o)(-C - C_o + C\bar{D}_1 + C\bar{D}_2 + C_o\bar{D}_1 + 2C_o\bar{D}_2 - C\bar{D}_1\bar{D}_2 - 2C_o\bar{D}_1\bar{D}_2) \\ & - 4\bar{I}_L L(1 - \bar{D}_1)]s - 2(2\bar{V}_c - V_{in} + \bar{V}_o)(\bar{D}_1 + 2\bar{D}_2 - 2\bar{D}_1\bar{D}_2 - 1) - 2\bar{I}_L R_o(1 - \bar{D}_1) \end{aligned} \quad (157)$$

$$\begin{aligned}
numF3 = & [I_{L_f}^- C_o L_f R_o (-1 + 2\bar{D}_2) - I_{L_f}^- C L_f R_o (1 - \bar{D}_2)] s^2 \\
& + [(2\bar{V}_c - V_{in} + \bar{V}_o) R_o (-C - C_o + C\bar{D}_1 + C\bar{D}_2 + C_o\bar{D}_1 + 2C_o\bar{D}_2 - C\bar{D}_1\bar{D}_2 \\
& - 2C_o\bar{D}_1\bar{D}_2) + I_{L_f}^- L_f (-1 + 2\bar{D}_2)] s + (2\bar{V}_c - V_{in} + \bar{V}_o) (\bar{D}_1 + 2\bar{D}_2 - 2\bar{D}_1\bar{D}_2 - 1) \quad (158)
\end{aligned}$$

$$\begin{aligned}
numF4 = & (2\bar{V}_c - V_{in} + \bar{V}_o) C C_o L_f R_o s^3 + [-2\bar{I}_L C_o L_f R_o (-1 + 2\bar{D}_2) \\
& + 2\bar{I}_L C L_f R_o (1 - \bar{D}_2) + (2\bar{V}_c - V_{in} + \bar{V}_o) C L_f] s^2 + [-2\bar{I}_L L_f (-1 + 2\bar{D}_2) \\
& + (2\bar{V}_c - V_{in} + \bar{V}_o) R_o (C + 2C_o + C\bar{D}_1^2 + 2C_o\bar{D}_1^2 - 2C\bar{D}_1 - 4C_o\bar{D}_1)] s \\
& + (2\bar{V}_c - V_{in} + \bar{V}_o) (2\bar{D}_1^2 - 4\bar{D}_1 + 2) \quad (159)
\end{aligned}$$

$$\begin{aligned}
numF5 = & C_o L L_f R_o s^3 + [(2\bar{V}_c - V_{in} + \bar{V}_o) C_o L R_o (1 - \bar{D}_1) + I_{L_f}^- L L_f] s^2 \\
& + [L (2\bar{V}_c - V_{in} + \bar{V}_o) (1 - \bar{D}_1) + I_{L_f}^- R_o L_f (1 - \bar{D}_2)] s \\
& + (2\bar{V}_c - V_{in} + \bar{V}_o) R_o (1 - \bar{D}_1 - \bar{D}_2 + \bar{D}_1\bar{D}_2) \quad (160)
\end{aligned}$$

$$\begin{aligned}
numF6 = & -2\bar{I}_L C_o L L_f R_o s^3 + [-(2\bar{V}_c - V_{in} + \bar{V}_o) C_o L_f R_o (2\bar{D}_2 - 1) \\
& - 2\bar{I}_L L L_f] s^2 + [-L_f (2\bar{V}_c - V_{in} + \bar{V}_o) (2\bar{D}_2 - 1) - 2\bar{I}_L R_o L_f (1 - \bar{D}_2)] s \\
& - R_o (2\bar{V}_c - V_{in} + \bar{V}_o) (1 + \bar{D}_1^2 - 2\bar{D}_1) \quad (161)
\end{aligned}$$

$$\begin{aligned}
numF7 = & I_{L_f}^- R_o C L L_f s^3 - R_o (2\bar{V}_c - V_{in} + \bar{V}_o) (-C L + C\bar{D}_1 L) s^2 \\
& + [-2\bar{I}_L R_o (L\bar{D}_1^2 - 2L\bar{D}_1 + 2L_f\bar{D}_2^2 - 3L_f\bar{D}_2 + L + L_f) \\
& + I_{L_f}^- R_o (2L + L_f - 4\bar{D}_1 L - 4\bar{D}_2 L_f + 2\bar{D}_1^2 L + 4\bar{D}_2^2 L_f)] s \\
& - R_o (2\bar{V}_c - V_{in} + \bar{V}_o) (1 - \bar{D}_1 - 2\bar{D}_2 + 2\bar{D}_1\bar{D}_2) \quad (162)
\end{aligned}$$

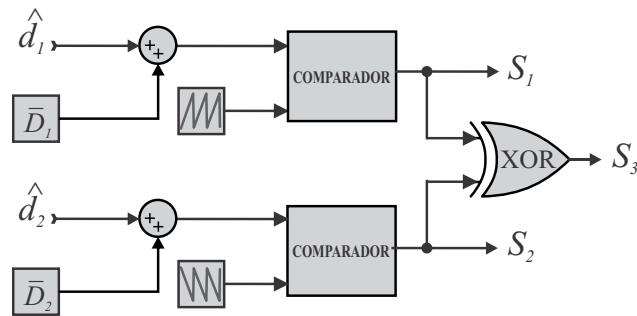
$$\begin{aligned}
numF8 = & -\bar{I}_L R_o C L L_f s^3 + 2C L_f R_o (1 - \bar{D}_2) (2\bar{V}_c - V_{in} + \bar{V}_o) s^2 \\
& + [2\bar{I}_L R_o (2(L\bar{D}_1^2 - 2L\bar{D}_1 + 2L_f\bar{D}_2^2 - 3L_f\bar{D}_2 + L + L_f) \\
& - (2L + L_f - 4\bar{D}_1 L - 4\bar{D}_2 L_f + 2\bar{D}_1^2 L + 4\bar{D}_2^2 L_f))] s \\
& + 2R_o (2\bar{V}_c - V_{in} + \bar{V}_o) (1 + \bar{D}_1^2 - 2\bar{D}_1) \quad (163)
\end{aligned}$$

Com o objetivo de validar as equações obtidas, foi realizada simulação comparando o modelo de pequenos sinais com o circuito real. Para tanto foi necessário escolher um ponto de equilíbrio. Assim, escolheram-se os valores no ponto de equilíbrio (Tabela 7) considerando os mesmos valores utilizados nas simulações do Capítulo 2 (Tabela 2). Tais valores foram obtidos

Tabela 7 – Valores das grandezas no ponto de equilíbrio, com $k = 2$.

Grandeza	D_1	D_2	V_c	V_o	I_o	I_L	I_{Lf}
Valor	0,67	0,67	-177,79	0,00	0,00	0,00	0,00

Fonte: próprio autor.

Figura 41 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 , S_2 e S_3 , considerando a modelagem em pequenos sinais.

Fonte: próprio autor.

através das equações estáticas (67), (70) e (75), desenvolvidas no Capítulo 2, aqui repetidas:

$$\bar{D}_1 = \frac{k}{1+k} \quad (164)$$

$$\bar{D}_2 = \frac{k+2}{2(k+1)} \quad (165)$$

$$\bar{V}_c = V_{in} \left(\frac{\bar{D}_2 - 1}{1 - \bar{D}_1} \right) \quad (166)$$

$$\bar{V}_o = V_{in} \left(1 + \frac{1 - 2\bar{D}_2}{1 - \bar{D}_1} \right) \quad (167)$$

$$\bar{I}_o = \frac{\bar{V}_o}{R_o} \quad (168)$$

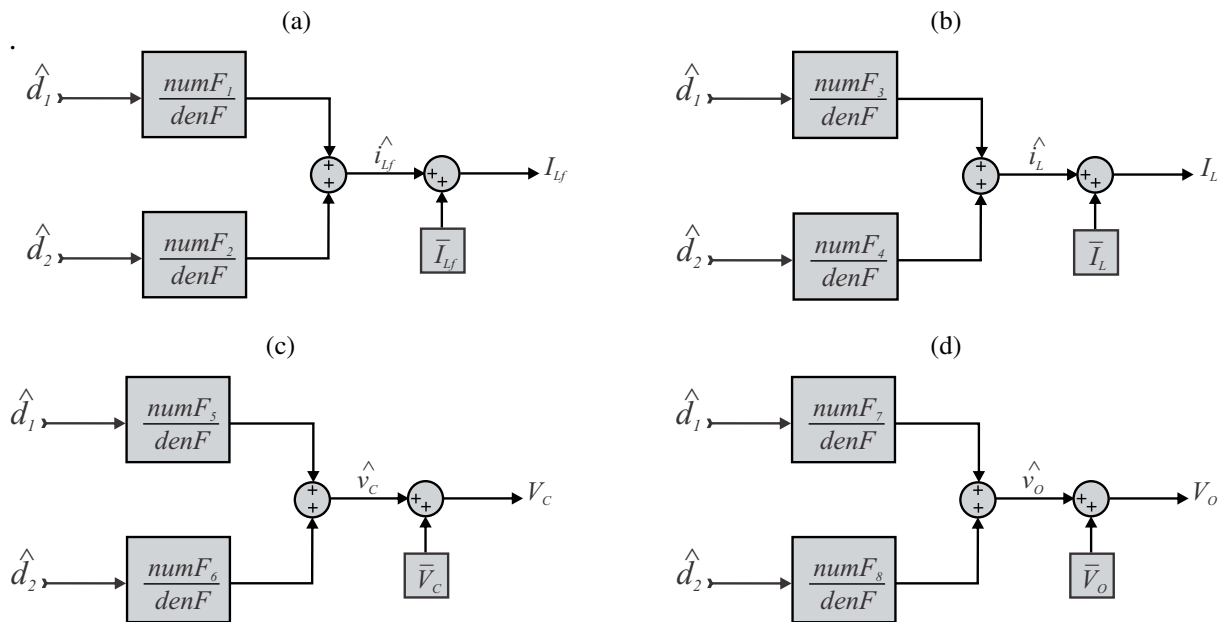
$$\bar{I}_L = \bar{I}_o \quad (169)$$

$$\bar{I}_{Lf} = \bar{I}_o \left(\frac{1 - 2\bar{D}_2}{1 - \bar{D}_1} \right). \quad (170)$$

Deve-se observar que a contribuição c.a. de D_2 , mostrada em (75), foi omitida quando foi escrita na forma de (165). A eliminação teve por objetivo enfatizar a validação da modelagem de pequenos sinais, pois a introdução de um distúrbio torna-se mais evidente. Mais à frente, quando serão discutidos os controladores, a contribuição c.a. será novamente considerada, demonstrando que sua omissão nesse ponto não trouxe qualquer prejuízo à metodologia adotada.

Os sinais do circuito foram obtidos considerando os distúrbios e valores do ponto de equilíbrio das razões de trabalho das chaves S_1 e S_2 (Figura 41). Os valores obtidos das

Figura 42 – Diagramas do modelo matemático em pequenos sinais utilizado para obtenção dos resultados na Figura 43



Fonte: próprio autor.

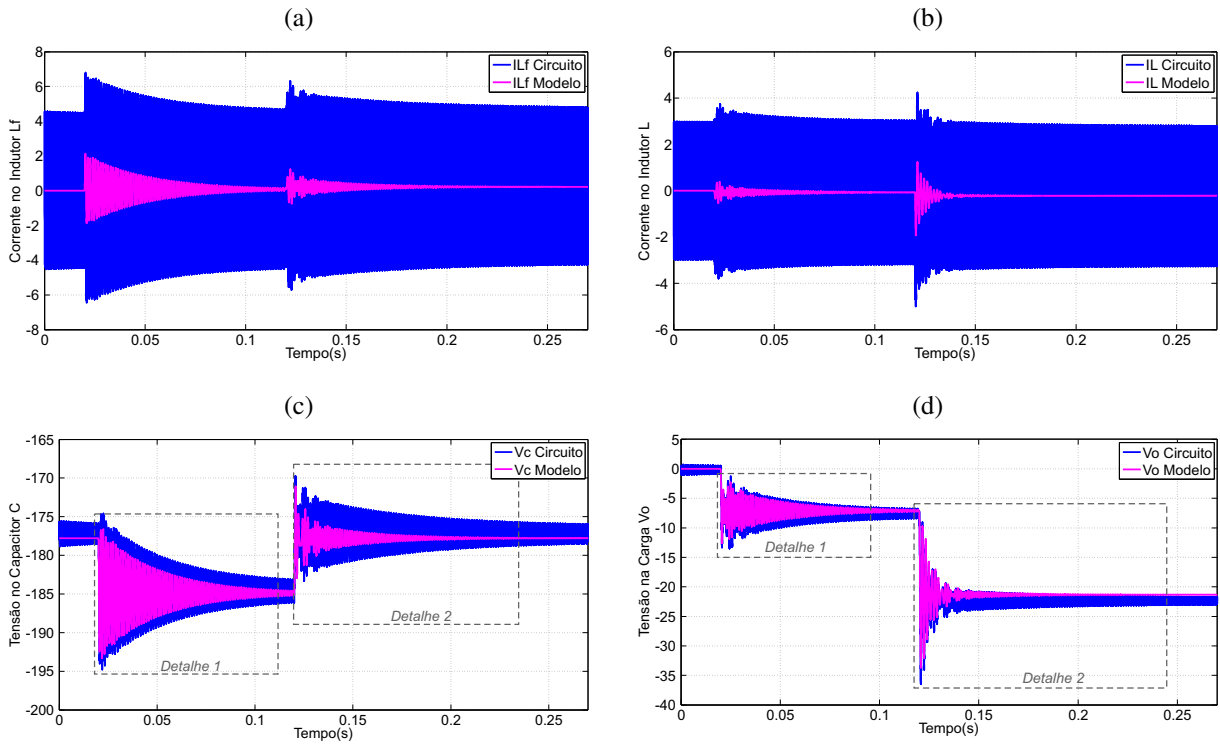
grandezas de pequenos sinais dos modelos foram somadas aos seus respectivos valores do ponto de equilíbrio escolhido para possibilitar a comparação com a simulação do circuito (Figura 42).

Nas figuras 43a a 43d são mostrados os resultados das simulações considerando a introdução de dois distúrbios, $\hat{d}_1 = 0,02\bar{D}_1$ e $\hat{d}_2 = 0,02\bar{D}_2$, nos instantes 0,02 s e 0,12 s, respectivamente. Escalas adequadas dos gráficos foram usadas para que fosse possível observar os efeitos dos distúrbios.

Diferente dos gráficos do modelo de grandes sinais (Figura 34), percebe-se que os gráficos da Figura 43 não reproduzem as grandezas do circuito com a mesma precisão, mesmo se forem desconsideradas as ondulações. Como já esperado os sinais das correntes I_{LF} e I_L (Figuras 43a e 43b, respectivamente) são os que apresentam as maiores diferenças entre modelo e circuito, pois naturalmente possuem ondulações mais relevantes que as de tensão.

Do mesmo modo, os sinais das tensões V_c e V_o (figuras 43c e 43d, respectivamente) também apresentam imprecisão entre circuito e modelo. Quando observados os detalhes destacados nos gráficos de V_c e V_o (Figura 44), é possível verificar que parte da imprecisão é oriunda das ondulações, mas ainda existe descasamento entre os sinais do modelo e do circuito em alguns instantes. Mesmo quando a simulação tende a estabilidade (entenda-se, nesse caso, algum tempo após a introdução dos distúrbios) a imprecisão persiste, mas agora caracterizada por um pequeno valor c.c. (figuras 44b e 44d). Tais diferenças eram esperadas e se devem às simplificações para a modelagem de pequenos sinais, nas quais alguns termos foram considerados

Figura 43 – Comparação entre as tensões e correntes obtidas do circuito e modelo em pequenos sinais: (a) corrente I_{LF} ; corrente I_L ; tensão V_c e tensão V_o



Fonte: próprio autor.

irrelevantes (ERICKSON; MAKSIMOVIC, 2004). De fato as diferenças obtidas são mínimas, se comparadas com os patamares nominais dos sinais a serem controlados, mostrados na Figura 34.

3.3 Definição dos Componentes do Conversor

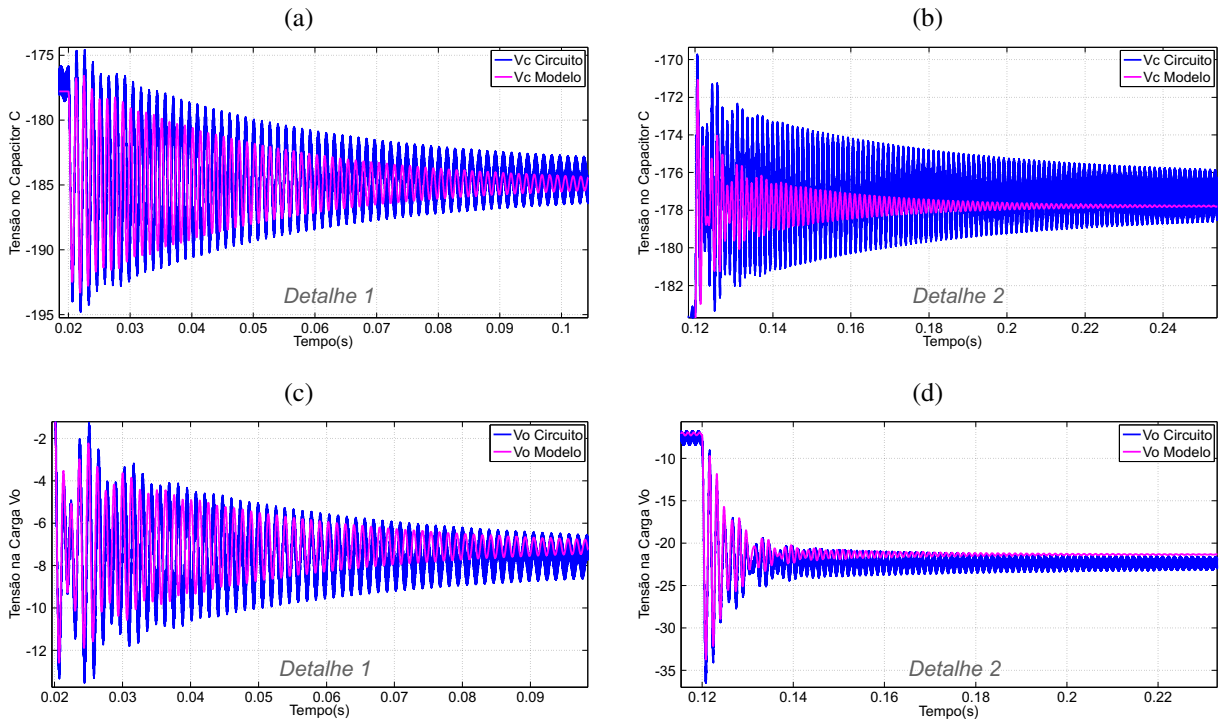
Antes de discutir a metodologia de controle, decidiu-se definir os valores dos componentes a serem utilizados. É válido lembrar que até o momento utilizaram-se os componentes dimensionados em (HUANG et al., 2013). Assim, é necessário verificar se os mesmos estão adequados ao controle de \hat{v}_{bb} com base na função de transferência $\frac{v_{bb}}{\hat{d}_1}$ e a montagem a ser realizada.

Como já visto neste capítulo, V_{bb} é igual a $2V_c + V_o$. Assim, para a obtenção de sua equação em pequenos sinais, \hat{v}_{bb} , pode-se somar o dobro de (145) com (146) obtendo $2\hat{v}_c + \hat{v}_o$ conforme a seguir:

$$\begin{aligned} 2\hat{v}_c + \hat{v}_o &= [2F_5(s) + F_7(s)]\hat{d}_1 + [2F_6(s) + F_8(s)]\hat{d}_2 \\ \hat{v}_{bb} &= [2F_5(s) + F_7(s)]\hat{d}_1 + [2F_6(s) + F_8(s)]\hat{d}_2. \end{aligned} \quad (171)$$

Nesse ponto, ao observar (68), vê-se que V_{bb} em regime dependia apenas de D_1 , sugerindo

Figura 44 – Comparação entre as tensões e correntes obtidas do circuito e modelo em pequenos sinais com detalhes destacados na Figura 43: (a) Detalhe 1 da tensão V_c ; (b) Detalhe 2 da tensão V_c ; (c) Detalhe 1 da tensão V_o ; (d) Detalhe 2 da tensão V_o .



Fonte: próprio autor.

que a contribuição de \hat{d}_2 é insignificante. Isso permite eliminar \hat{d}_2 em (171), obtendo:

$$\hat{v}_{bb} = [2F_5(s) + F_7(s)]\hat{d}_1. \quad (172)$$

A expressão $2F_5(s) + F_7(s)$ possui o mesmo denominador mostrado em (155), e tem como numerador a seguinte expressão:

$$\begin{aligned} num\hat{v}_{bb} = & (2C_o + CI_{L_f}^-)L_fLR_o s^3 \\ & + [(\bar{V}_c - V_{in} + \bar{V}_o)LR_o(1 - \bar{D}_1)(2C_o + C) + 2\bar{I}_{L_f}^-LL_f]s^2 \\ & + [\bar{I}_{L_f}^-R_oL_f - 2(2\bar{V}_c - V_{in} + \bar{V}_o)(\bar{D}_1 - 1)]s + R_o(2\bar{V}_c - V_{in} + \bar{V}_o)(1 - \bar{D}_1) \end{aligned} \quad (173)$$

Com base na expressão de \hat{v}_{bb} (172) é possível realizar a análise dos componentes do circuito.

Considerando que já existiam valores dos componentes como referência (Tabela 6), decidiu-se por realizar variações em torno desses, de forma a verificar os impactos nos valores das ondulações de tensão e na estabilidade do sistema.

Começa-se a análise pelos capacitores da malha semi-Z. Com base no valor de referência, $18,8\mu\text{ F}$, buscaram-se valores comerciais de capacitores com o objetivo de viabilizar a montagem.

Os catálogos de capacitores indicam tensões nominais de 400 V, 440 V e 480 V c.a.. Apesar das simulações para os parâmetros na Tabela 6 indicarem a possibilidade de utilização de 400 V, decidiu-se adotar a tensão nominal de 480 V c.a. porque pretendia-se testar o conversor com variações de carga e variações da razão *buck – boost*, podendo aparecer valores maiores de tensão nos capacitores. Assim, através da consulta a catálogos, é possível encontrar capacitores de 19,2 μF e 9,6 μF , valores adjacentes ao de referência.

De posse de três valores possíveis para C , os polos e zeros de $\frac{\hat{v}_{bb}}{d_1}$ são mostrados na Figura 45 para cada um dos valores. Como pode ser visto da Figura 45b, quanto menor o valor de C mais próximo da instabilidade o sistema fica, pois os polos ficam mais próximos do eixo das ordenadas.

Com relação às variações de dos componentes, foi realizada a análise das ondulações de corrente e tensão produzidas com base em (95) a (103). Conforme visto na Figura 46 e na Tabela 8, quanto menor o valor de C maior é o valor de ondulação de v_c . Assim, o valor adotado para montagem deve ser de $C=19,2 \mu\text{F}$, de forma a ter um sistema que proporcione maior estabilidade e produza menor ondulação em v_c .

De forma análoga à anterior, pode-se realizar a análise de C_o . Na Figura 47b, percebe-se que diminuição do valor de C_o torna o sistema mais estável. Porém, quanto menor o valor de C_o maior será a ondulação em v_o , conforme mostrado na Figura 48 e Tabela 8. É válido observar que, devido aos valores comerciais de capacitores encontrados e o ponto de referência analisado, a variação de C_o impacta menos a posição dos polos e zeros que a variação de C , comparando-se os gráficos das figuras 45b e 47b. Assim, considerando a importância dos valores de ondulação em v_o , tensão na carga, decidiu-se adotar $C_o = 28,8 \mu\text{F}$.

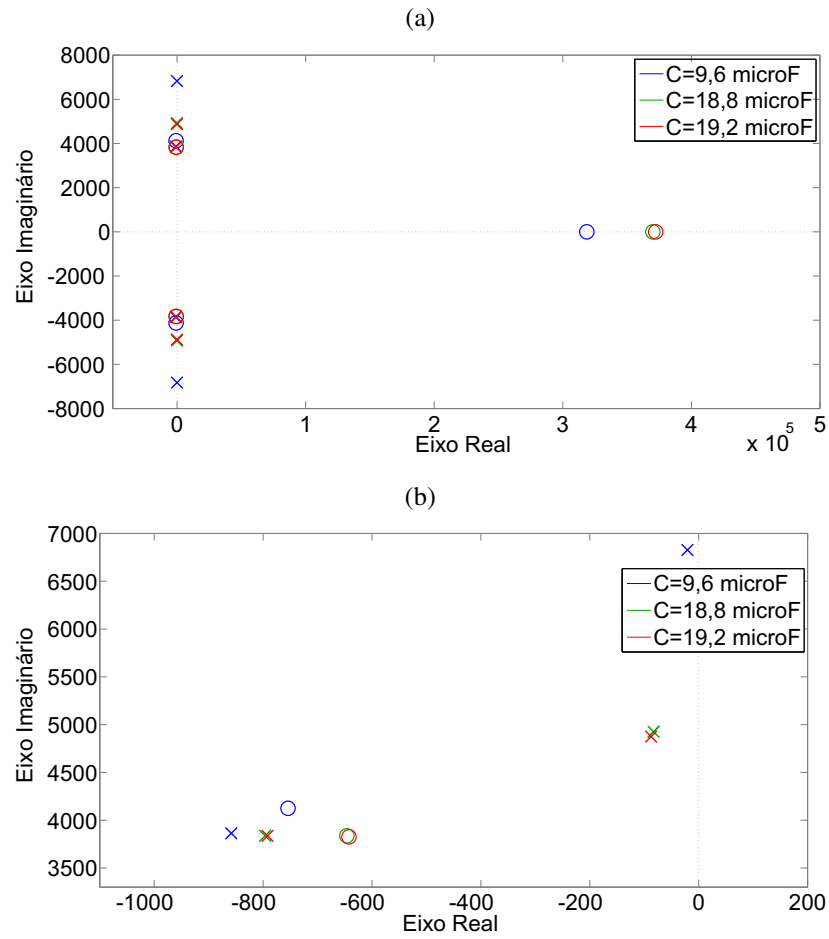
No caso das indutâncias L e L_f , como as mesmas foram manufaturadas no GEPAE, utilizando cabos de cobre esmaltados e eletrodutos de PVC, os valores adjacentes foram obtidos considerando uma variação de $\pm 20\%$ do valor de referência. No caso da indutância L , da Tabela 8 e Figura 49b, percebe-se que quanto maior é seu valor, maior é sua contribuição para a

Tabela 8 – Valores máximos de ondulação em função das variações dos parâmetros C , C_o , L ou L_f , com $k = 2$. Valores obtidos com base em (95), (99), (102) e (103).

Valores	$C=9,6 \mu\text{F}$	$C=18,8\mu\text{F}$	$C=19,2 \mu\text{F}$	$C_o=19,2 \mu\text{F}$	$C_o=23,5 \mu\text{F}$	$C_o=28,8 \mu\text{F}$
ΔV_c	$\pm 5,23 \text{ V}$	$\pm 2,67 \text{ V}$	$\pm 2,62 \text{ V}$	$\pm 2,67 \text{ V}$	$\pm 2,67 \text{ V}$	$\pm 2,67 \text{ V}$
ΔV_o	$\pm 2,14 \text{ V}$	$\pm 2,14 \text{ V}$	$\pm 2,14 \text{ V}$	$\pm 2,62 \text{ V}$	$\pm 2,14 \text{ V}$	$\pm 1,74 \text{ V}$
Valores	$L=0,8 \text{ mH}$	$L=1 \text{ mH}$	$L=1,2 \text{ mH}$	$L_f=540 \mu\text{H}$	$L_f=675 \mu\text{H}$	$L_f= 810 \mu\text{H}$
ΔI_L	$\pm 3,70 \text{ A}$	$\pm 2,96 \text{ A}$	$\pm 2,47 \text{ A}$	$\pm 2,96 \text{ A}$	$\pm 2,96 \text{ A}$	$\pm 2,96 \text{ A}$
ΔI_{L_f}	$\pm 4,39 \text{ A}$	$\pm 4,39 \text{ A}$	$\pm 4,39 \text{ A}$	$\pm 5,49 \text{ A}$	$\pm 4,39 \text{ A}$	$\pm 3,66 \text{ A}$

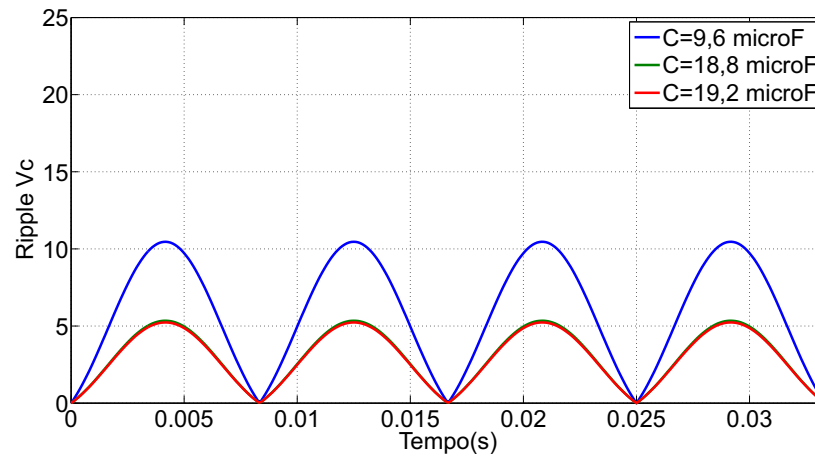
Fonte: próprio autor.

Figura 45 – (a) Lugar das raízes com variação de C ; (b) Ampliação para visualização dos polos.



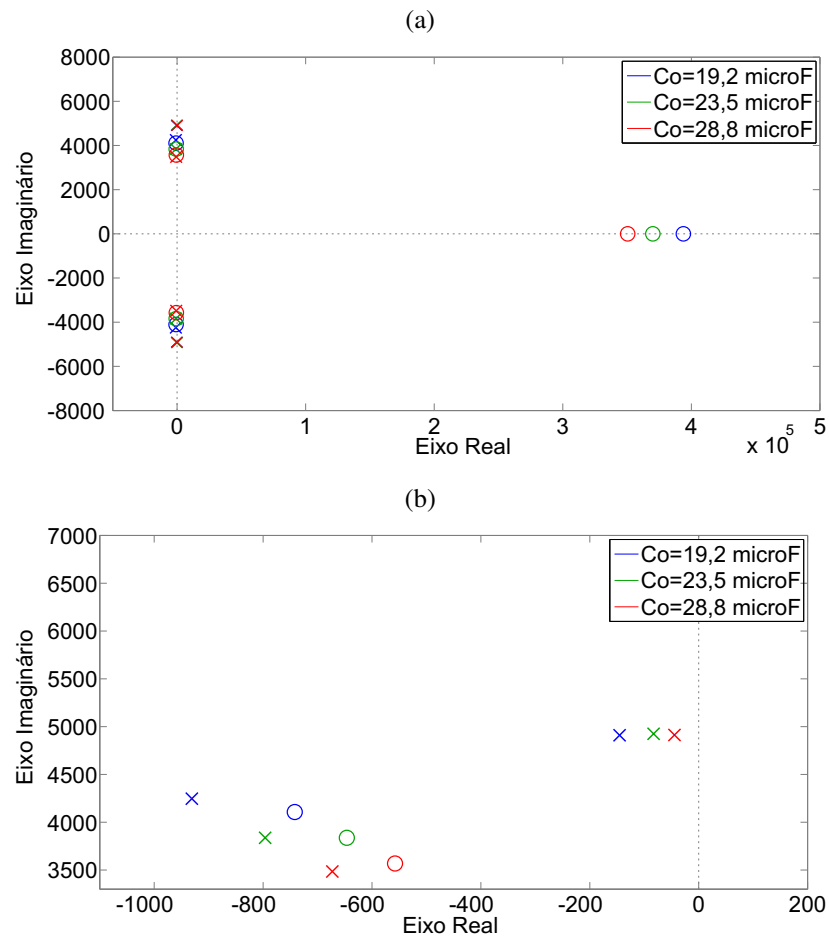
Fonte: próprio autor.

Figura 46 – Ondulação de v_c com a variação de C .



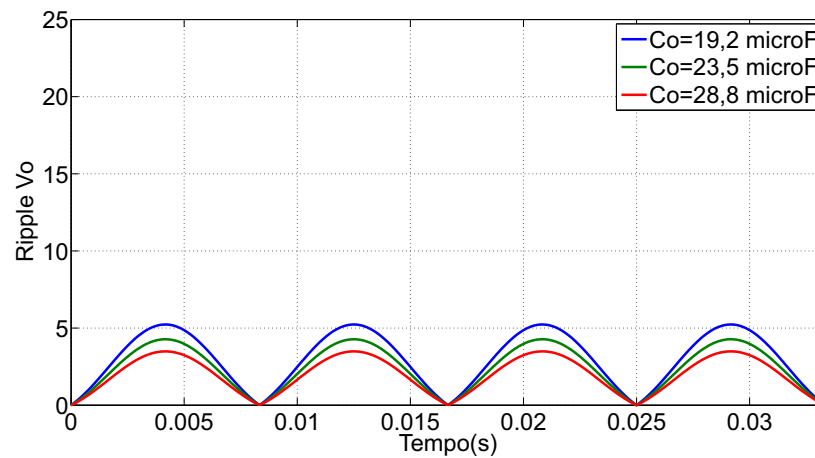
Fonte: próprio autor.

Figura 47 – (a) Lugar das raízes com variação de C_o ; (b) Ampliação para visualização dos polos.



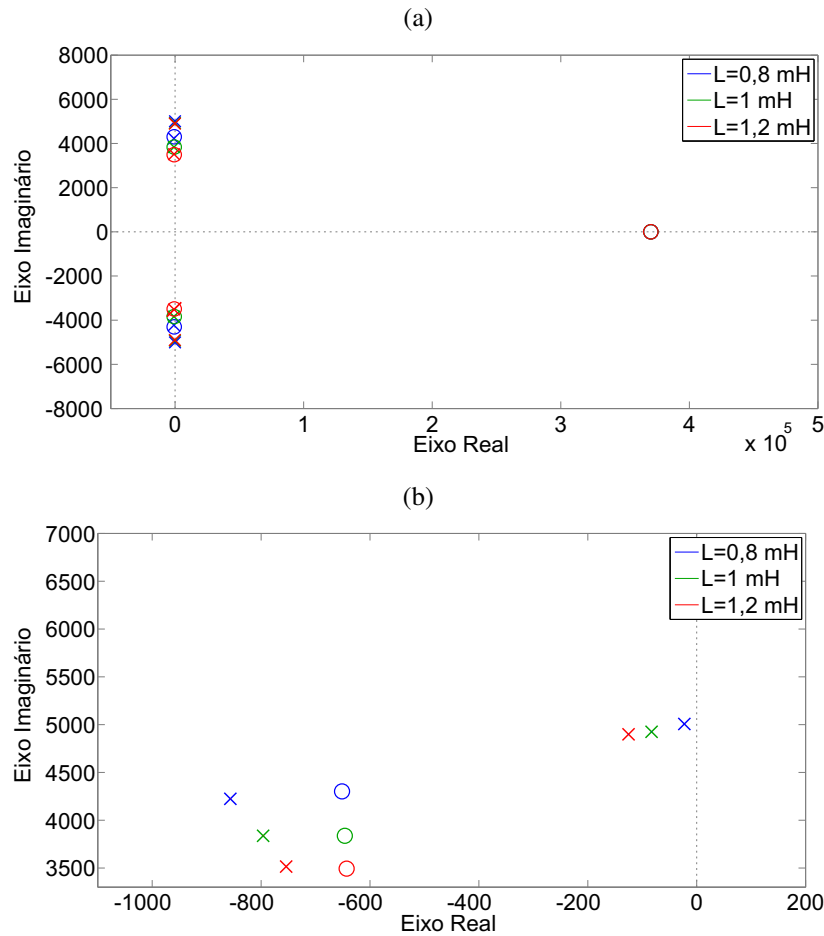
Fonte: próprio autor.

Figura 48 – Ondulação de v_c com a variação de C_o .



Fonte: próprio autor.

Figura 49 – (a) Lugar das raízes com variação de L ; (b) Ampliação para visualização dos polos.



Fonte: próprio autor.

estabilidade. Porém, valores maiores de L significam componentes mais volumosos. Assim, decidiu-se por adotar a indutância $L = 1$ mH, de forma a prezar por valores de ondulação pequenos e um componente de volume razoável.

É válido observar sobre as indutâncias que suas expressões de ondulação, de i_{L_f} e i_L ((95) e (99), respectivamente), resultam em valores constantes, e por isso são mostrados apenas na Tabela 8 e não através de gráficos. Ainda, da Tabela 8, percebe-se que o aumento de L ou L_f proporciona valores de ondulações menores como era de se esperar.

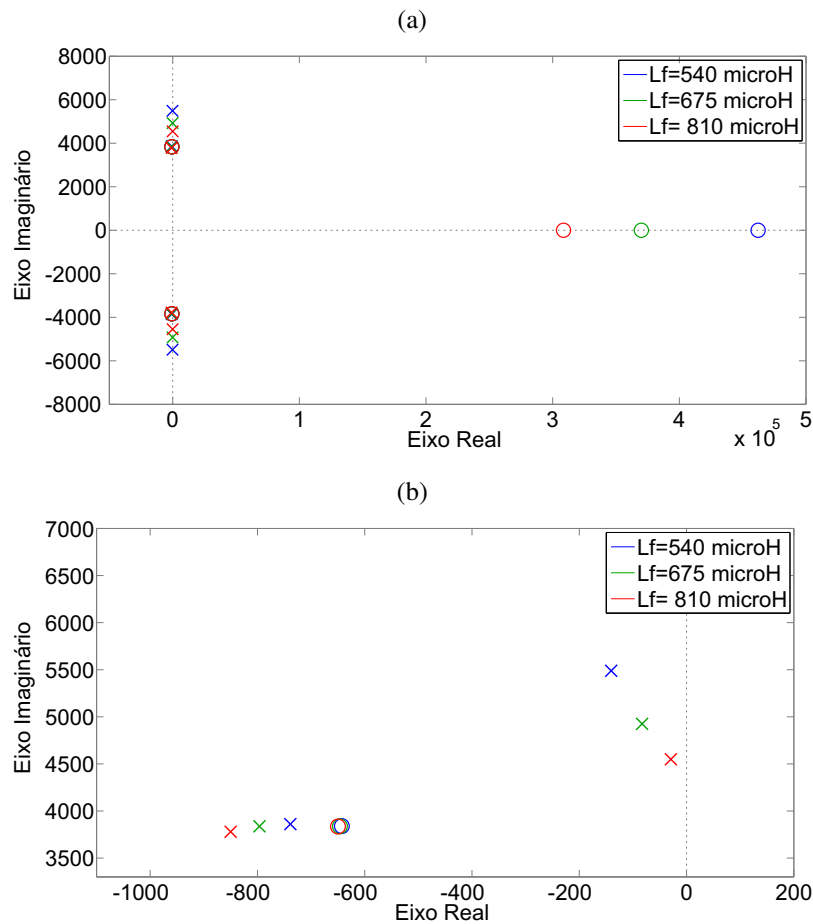
Analisando a Figura 50b, percebe-se que valores menores de L_f contribuem para estabilidade do sistema, mas para que não houvesse valores de ondulação elevados, decidiu-se manter o valor de referência estabelecido. A Tabela 9 resume os parâmetros escolhidos para o protótipo. Deve-se notar que foram estabelecidos dois níveis de tensão possíveis para a saída e entrada levando em consideração que as cargas poderiam ter tensões nominais de $220 V_{rms}$ ou $110 V_{rms}$, padrões de baixa tensão adotados no Brasil..

Tabela 9 – Parâmetros para o protótipo para tensão na carga de $220 V_{rms}$ ou $110 V_{rms}$, entre parênteses .

Tensão de entrada $V_{in} = 177,79$ V (ou $88,89$ V)	Indutância $L_f = 675 \mu H$
Tensão de saída $V_o = 311,13$ V (ou $155,56$ V)	Indutância $L = 1000 \mu H$
Máximo ganho de tensão $A = 1,75$	Capacitância $C = 19,2 \mu F$
Ganho <i>buck-boost</i> $k = 2$	Capacitância de saída $C_o = 28,8 \mu F$
Frequência de chaveamento $f_{sw} = 20$ kHz	Resistência da carga $R_o = 96 \Omega$

Fonte: próprio autor.

Figura 50 – (a) Lugar das raízes com variação de L_f ; (b) Ampliação para visualização dos polos.



Fonte: próprio autor.

3.4 Projeto de Controle do Conversor Monofásico

De posse de um modelo em pequenos sinais validado e da definição dos componentes, pode-se utilizar técnicas clássicas para projetar o controle. No caso da topologia de inversor estudada, duas grandezas se apresentam para serem controladas: a tensão v_{bb} e a tensão v_o , pois

equivalem ao barramento c.c. virtual do inversor e a tensão na carga, respectivamente, sendo a primeira controlada por \hat{d}_1 em virtude de (68) desenvolvidas no Capítulo 2, e a segunda por \hat{d}_2 , em virtude de (66) e (75).

A função de transferência $\frac{\hat{v}_{bb}}{\hat{d}_1}$ foi desenvolvida na seção anterior, restando agora encontrar a função de transferência de $\frac{\hat{v}_o}{\hat{d}_2}$. A referida expressão pode ser obtida através de (146), considerando que o termo dependente de \hat{d}_1 é desprezível frente ao termo dependente de \hat{d}_2 , obtendo-se:

$$\hat{v}_o = F_8(s)\hat{d}_2 \quad (174)$$

,sendo o numerador e o denominador de $F_8(s)$ já definidos em (163) e (155), respectivamente.

3.4.1 Definição do ponto de equilíbrio utilizado no controle

A comparação entre as expressões de D_1 e D_2 , (70) e (75), respectivamente, implica na percepção que D_2 naturalmente possui maior variação em seus valores em virtude do termo senoidal. Ocorre que essa variação provoca uma modificação significativa do lugar das raízes da planta $\frac{\hat{v}_o}{\hat{d}_2}$. Tal fato não é novidade, pois a equação (66) já traçava a dependência direta de V_o e D_2 .

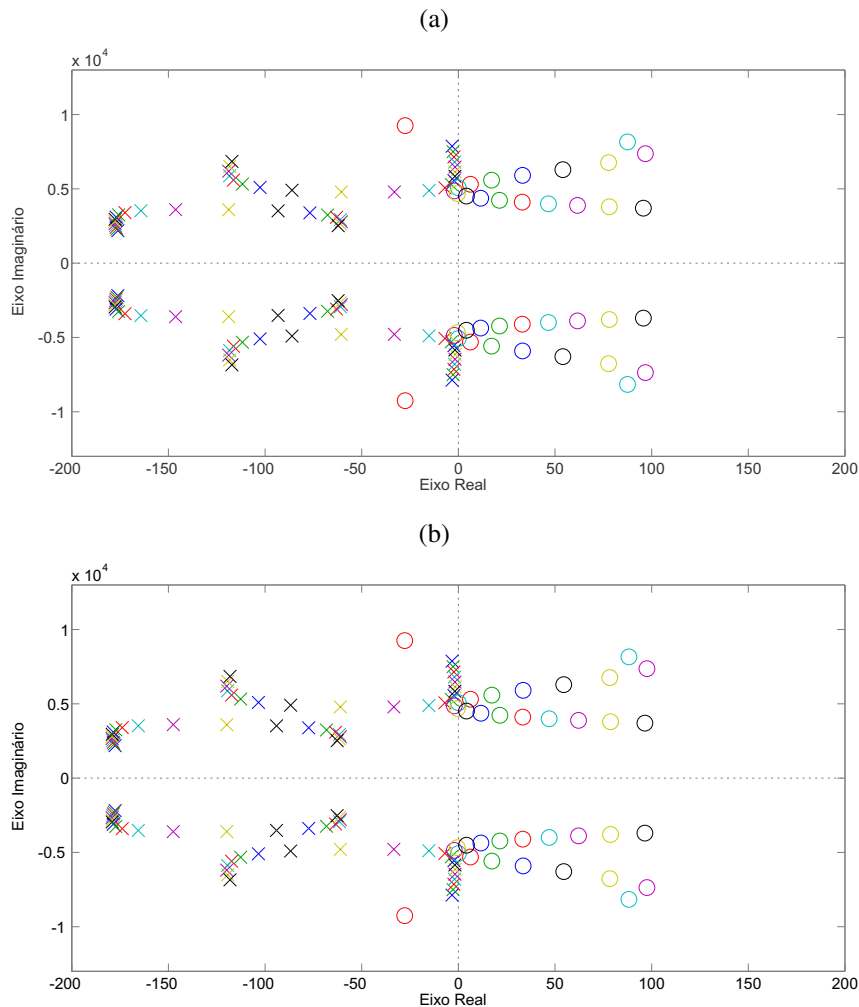
Assim, faz-se necessário avaliar a variação no valor de \bar{D}_2 , considerando agora o termo senoidal conforme (75), e seu impacto na estabilidade do sistema. Na Figura 51 podem ser vistas simulações realizadas considerando a variação do termo senoidal (± 1), para tensões na carga de $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$ (figuras 51a e 51b, respectivamente). Ao compararmos as figuras 51a e 51b, percebe-se que a modificação da tensão na carga, de $220 V_{rms}$ para $110 V_{rms}$, não impacta de forma perceptível no lugar das raízes.

Assim, é possível representar o caminho realizado pelos pólos e zeros ao longo da variação senoidal de \hat{d}_2 através do gráfico na Figura 52, plotado para a maior tensão na carga. Percebe-se que nos dois casos existem valores de polos que ficam mais próximos à origem (mais instáveis). Dessa forma, é necessário estabelecer em que ponto isso ocorre, para que o controle a ser estabelecido leve em consideração o pior caso, ou seja, o ponto mais próximo da instabilidade.

Assim, nas tabelas 10 e 11 são mostrados alguns valores das grandezas dos diversos pontos de equilíbrio obtidos em função da variação de \bar{D}_2 para $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$, respectivamente.

Através das tabelas é possível observar que as plantas, para $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$, estão estáveis para todos os valores de \bar{D}_2 , pois todas as partes reais dos polos são negativas. Observa-se ainda, que para o valor de seno igual a 0,5 o valor real do polo se aproximou mais do eixo das ordenadas nas duas plantas. Portanto, de todos os pontos simulados, esse é o que mais se aproximou da instabilidade, sendo considerado o pior caso possível. Ou seja, adotando

Figura 51 – (a) e (b) Lugar das raízes da planta de \hat{v}_o/\hat{d}_2 , considerando a variação senoidal para possíveis valores de \bar{D}_2 com $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$, respectivamente.



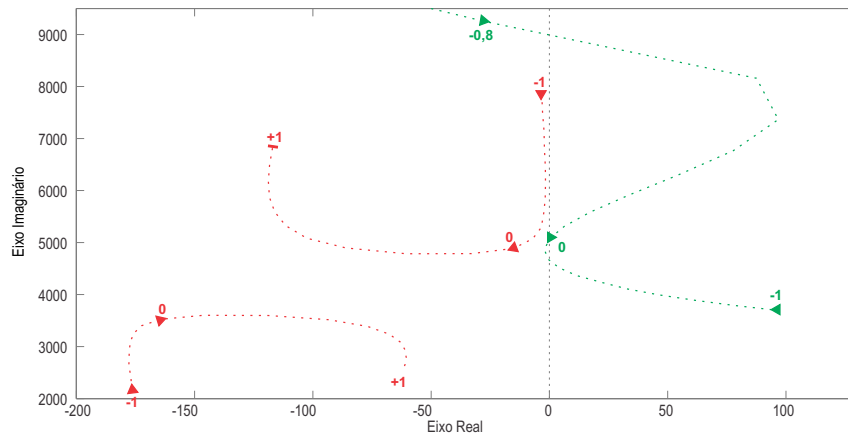
Fonte: próprio autor.

esse ponto como o ponto de equilíbrio, com base no qual os controles são projetados, espera-se que os controles funcionem nos demais pontos.

Definido o ponto de equilíbrio (Tabela 12), algumas premissas foram adotadas para a obtenção dos ganhos de controle de V_{bb} e V_o :

- Como V_{bb} representa a tensão do barramento virtual c.c., deve ter uma dinâmica de controle mais lenta que a V_o a fim de garantir a estabilidade;
- A resposta dinâmica do controle V_o deveria ser rápida o suficiente para atuar em poucos ciclos da fundamental (f_1);
- A resposta dinâmica do controle V_{bb} deveria ser rápida o suficiente para que, no futuro, pudesse ser aplicado em um controle *MPPT*;

Figura 52 – Ampliação da Figura 51 para visualização dos polos (vermelho) e zeros (verde) próximos ao eixo das ordenadas mostrando o caminhos realizados pelos mesmos em função da variação de \bar{D}_2 , para $V_o=220 V_{rms}$.



Fonte: próprio autor.

3.4.2 Controle da tensão V_{bb}

A função de transferência v_{bb}/\hat{d}_1 (173) pode ser analisada através de seus polos e zeros no lugar das raízes conforme apresentado na Figura 53.

Nesta figura, verifica-se que todos os polos possuem valor real negativo, estando posicionados à esquerda do eixo das ordenadas, além de possuir um zero do lado direito, demonstrando que trata-se de um sistema estável de fase não-mínima (OGATA, 2011).

Tabela 10 – Valores das grandezas nos diversos pontos de equilíbrio, em função da variação de \bar{D}_2 para $V_o=220 V_{rms}$, bem como parte real do polo mais próximo da região de instabilidade da função $\frac{\hat{v}_o}{\hat{d}_2}$ (polo*).

Seno	\bar{D}_1	\bar{D}_2	\bar{V}_o	\bar{V}_c	\bar{I}_o	\bar{I}_L	\bar{I}_{Lf}	Polo*
-1,0	0,6667	0,9583	-311,13	-22,22	-3,21	-3,21	8,84	-3,23
-0,9	0,6667	0,9292	-280,01	-37,78	-2,89	-2,89	7,45	-2,72
-0,6	0,6667	0,8417	-186,68	-84,45	-1,93	-1,93	3,95	-1,73
-0,5	0,6667	0,8125	-155,56	-100,01	-1,61	-1,61	3,01	-1,64
-0,4	0,6667	0,7833	-124,45	-115,56	-1,29	-1,29	2,19	-1,77
-0,3	0,6667	0,7542	-93,34	-131,12	-0,96	-0,96	1,47	-2,27
0,0	0,6667	0,6667	0,00	-177,79	0,00	0,00	0,00	-15,14
0,3	0,6667	0,5792	93,34	-224,46	0,96	0,96	-0,46	-86,07
0,4	0,6667	0,5500	124,45	-240,01	1,29	1,29	-0,39	-102,57
0,6	0,6667	0,4917	186,68	-271,12	1,93	1,93	0,10	-116,34
1,0	0,6667	0,3750	311,13	-333,35	3,21	3,21	2,41	-117,15

Fonte: próprio autor.

Tabela 11 – Valores das grandezas nos diversos pontos de equilíbrio, em função da variação de \bar{D}_2 para $V_o=110 V_{rms}$, bem como parte real do polo mais próximo da região de instabilidade da função $\frac{\hat{v}_o}{\hat{d}_2}$ (polo*).

Seno	\bar{D}_1	\bar{D}_2	\bar{V}_o	\bar{V}_c	\bar{I}_o	\bar{I}_L	\bar{I}_{Lf}	Polo*
-1,0	0,6667	0,9583	-155,56	-11,11	-1,62	-1,62	4,46	-3,25
-0,9	0,6667	0,9292	-140,01	-18,89	-1,46	-1,46	3,76	-2,74
-0,6	0,6667	0,8417	-93,34	-42,22	-0,97	-0,97	1,99	-1,74
-0,5	0,6667	0,8125	-77,78	-50,00	-0,81	-0,81	1,52	-1,65
-0,4	0,6667	0,7833	-62,23	-57,78	-0,65	-0,65	1,10	-1,78
-0,3	0,6667	0,7542	-46,67	-65,56	-0,49	-0,49	0,74	-2,29
0,0	0,6667	0,6667	0,00	-88,89	0,00	0,00	0,00	-15,26
0,3	0,6667	0,5792	46,67	-112,23	0,49	0,49	-0,23	-86,78
0,4	0,6667	0,5500	62,23	-120,01	0,65	0,65	-0,19	-103,42
0,6	0,6667	0,4917	93,34	-135,56	0,97	0,97	0,05	-117,31
1,0	0,6667	0,3750	155,56	-166,68	1,62	1,62	1,22	-118,12

Fonte: próprio autor.

Tabela 12 – Valores das grandezas no ponto de equilíbrio utilizados no controle

Grandeza	\bar{D}_1	\bar{D}_2	\bar{V}_o	\bar{V}_c	\bar{I}_o	\bar{I}_L	\bar{I}_{Lf}
Valores ($V_o=220 V_{rms}$)	0,6667	0,8125	-155,56	-100,01	-1,61	-1,61	3,01
Valores ($V_o=110 V_{rms}$)	0,6667	0,8125	-77,78	-50,00	-0,81	-0,81	1,52

Fonte: próprio autor.

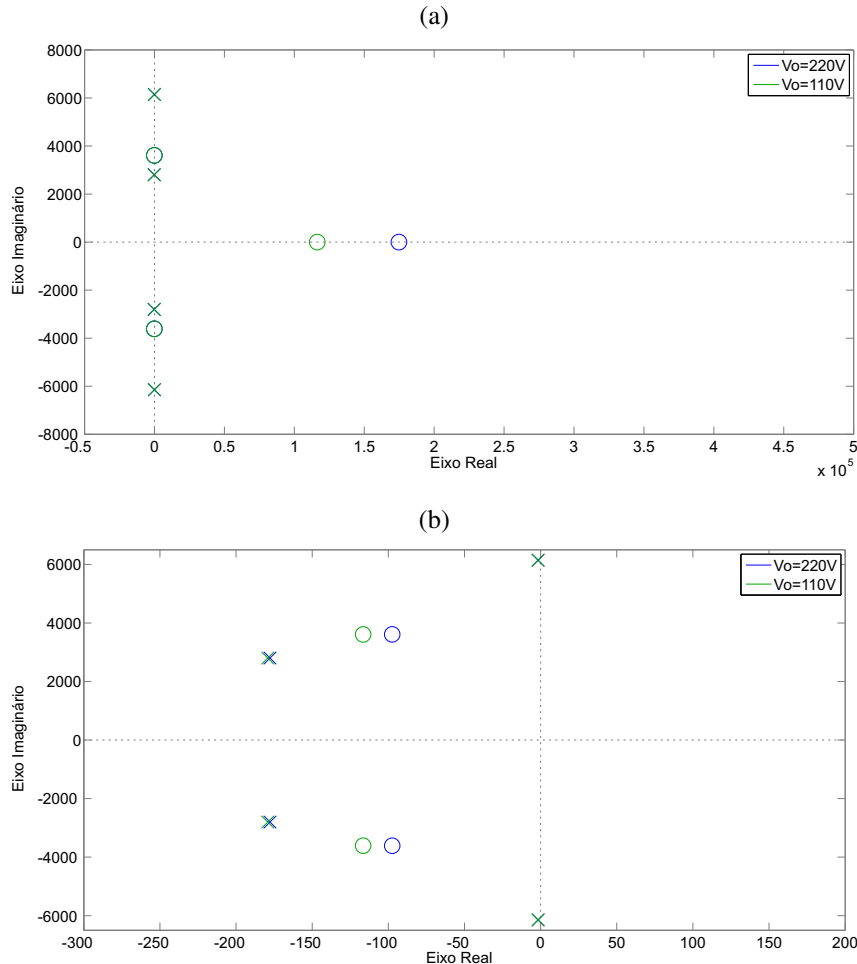
Novamente, vê-se que os gráficos de lugar das raízes são bem similares. Dessa maneira, a partir desse ponto serão mostrados os gráficos para $V_o=220 V_{rms}$, sendo devidamente comentados os resultados numéricos para $V_o=110 V_{rms}$.

O controle de \hat{v}_{bb} foi projetado utilizando-se o lugar das raízes (Figura 54), considerando um controlador Proporcional Integral (PI). Os ganhos obtidos para o controlador PI são negativos (Figura 54), pois trata-se de um sistema de fase não mínima.

Nesse ponto é importante definir algumas premissas para o controle de \hat{v}_{bb} , com base na teoria de controle (DORF; BISHOP, 2013):

- Utilizar o ponto de equilíbrio apresentado na Tabela 7;
- Garantir que o controle \hat{v}_{bb} seja estável e mais lento que o de v_o , pois o primeiro estabelece um barramento c.c. virtual;
- Considerar a utilização de um controle PI, possuindo erro nulo estacionário para entradas

Figura 53 – (a) Lugar das raízes de \hat{v}_{bb}/\hat{d}_1 para $V_o=220 V_{rms}$ e $V_o=110 V_{rms}$, sendo os valores para $220 V_{rms}$ de zeros: $17,483 \cdot 10^4$ e $(-0,010 \pm 0,361i) \cdot 10^4$ e de polos: $(-0,0016 \pm 6,1450i) \cdot 10^3$ e $(-0,1777 \pm 2,8018i) \cdot 10^3$. E para $110 V_{rms}$ de zeros: $11,642 \cdot 10^4$ e $(-0,012 \pm 0,361i) \cdot 10^4$ e de polos: $(-0,0016 \pm 6,1450i) \cdot 10^3$ e $(-0,1792 \pm 2,8017i) \cdot 10^3$. (b) Ampliação para visualização dos polos e zeros próximos ao eixo das ordenadas.



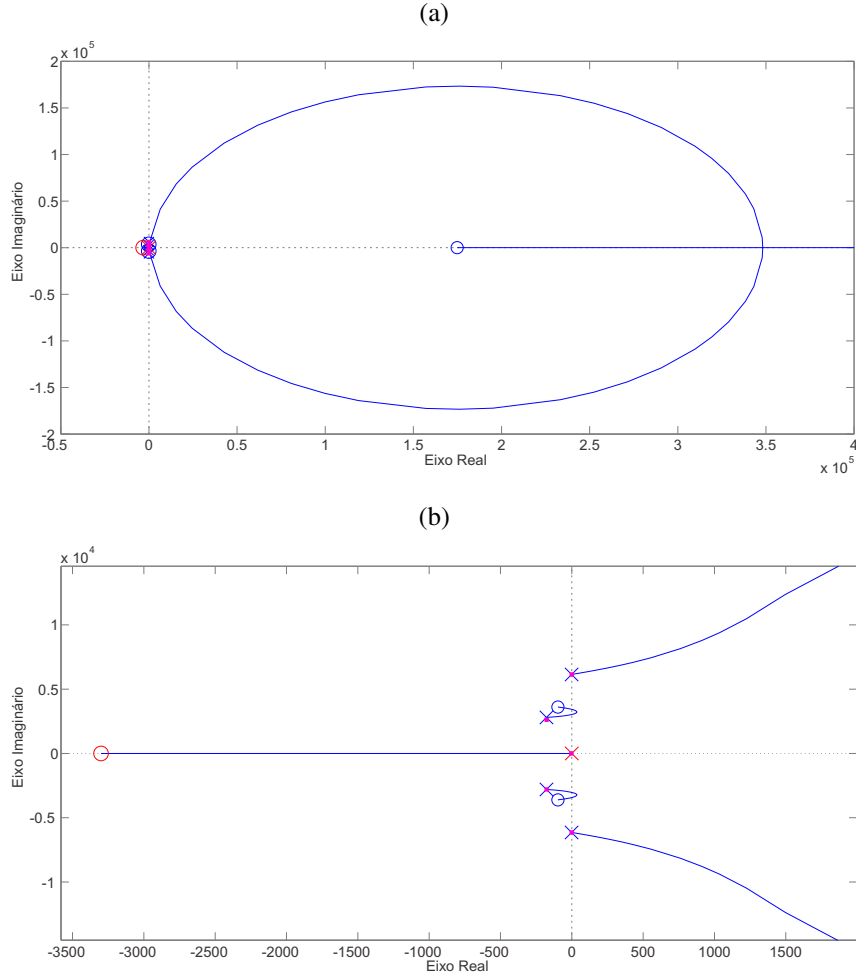
Fonte: próprio autor.

em degrau.

Para atender a essas premissas, escolhe-se uma dinâmica (tempo de acomodação de 1%), pelo menos, dez vezes mais lenta que o controle da tensão de V_o , visto mais adiante, perfazendo $t_s(1\%) \geq 400$ ms. A Figura 54 apresenta a localização dos polos e zeros de \hat{v}_{bb}/\hat{d}_1 , considerando o controle para atender a essa premissa. Já na Figura 55 tem-se a resposta em degrau desse sistema.

Continuando a análise, a Figura 56 mostra o diagrama de *Bode*, podendo ser observadas Margens de Ganho (MG) e Margem de Fase (MF) da planta (\hat{v}_{bb}/\hat{d}_1) com controlador PI em

Figura 54 – (a) Lugar das raízes de \hat{v}_{bb}/\hat{d}_1 para $V_o=220 V_{rms}$ considerando um PI com ganhos $K_p = -1,2 \cdot 10^{-6}$ e $K_i = -4 \cdot 10^{-3}$. Para $V_o=110 V_{rms}$ sob as mesmas condições, têm-se um PI com ganhos $K_p = -1,2 \cdot 10^{-6}$ e $K_i = -4 \cdot 10^{-3}$; (b) Ampliação para visualização dos polos.



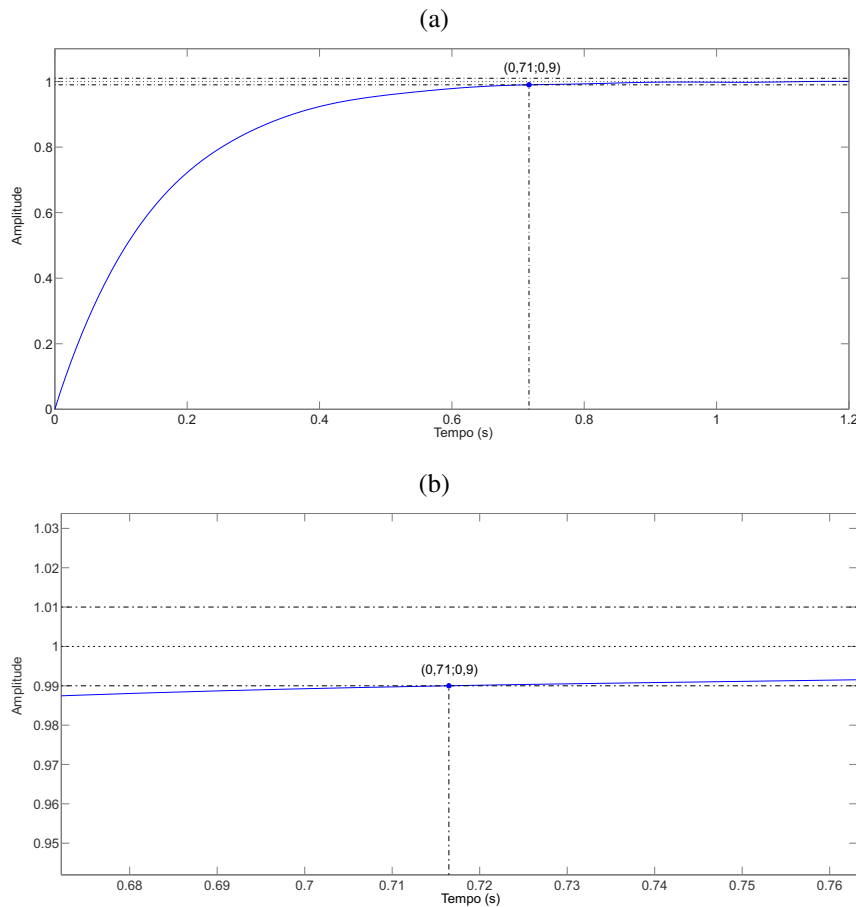
Fonte: próprio autor.

malha aberta. Observa-se que as MG e MF encontradas mostram o sistema estável, mas próximo da instabilidade. Seria possível encontrar MG e MF com valores considerados melhores (MG $\simeq 6$ db e MF $> 30^\circ$) (OGATA, 2011) (DORF; BISHOP, 2013), mas isso faria com que a resposta do sistema ficasse muito lenta, em torno de 0,95 s, não satisfazendo a premissa o para um futuro MPPT. Portanto, considerou-se o controle obtido satisfatório.

Após a definição dos ganhos, o controle de V_{bb} através de \hat{d}_1 pode ser mostrado em formato de diagrama de blocos (Figura 57), incorporando os valores limites de saturação de \hat{d}_1 que também servirão de parâmetros para ação *antiwind-up*. Tais valores são estabelecidos sabendo-se que $D_1 \leq 1$ e baseando-se em (28) e (118), da seguintes maneira:

$$1 - (\bar{D}_2 + \bar{D}_1) \leq \hat{d}_1 \leq 1 - \bar{D}_1. \quad (175)$$

Figura 55 – (a) Resposta de \hat{v}_{bb}/\hat{d}_1 a um degrau para $V_o=220 V_{rms}$. (b) Ampliação da resposta a um degrau destacando o ponto onde $t_s(1\%) \geq 400$ ms.

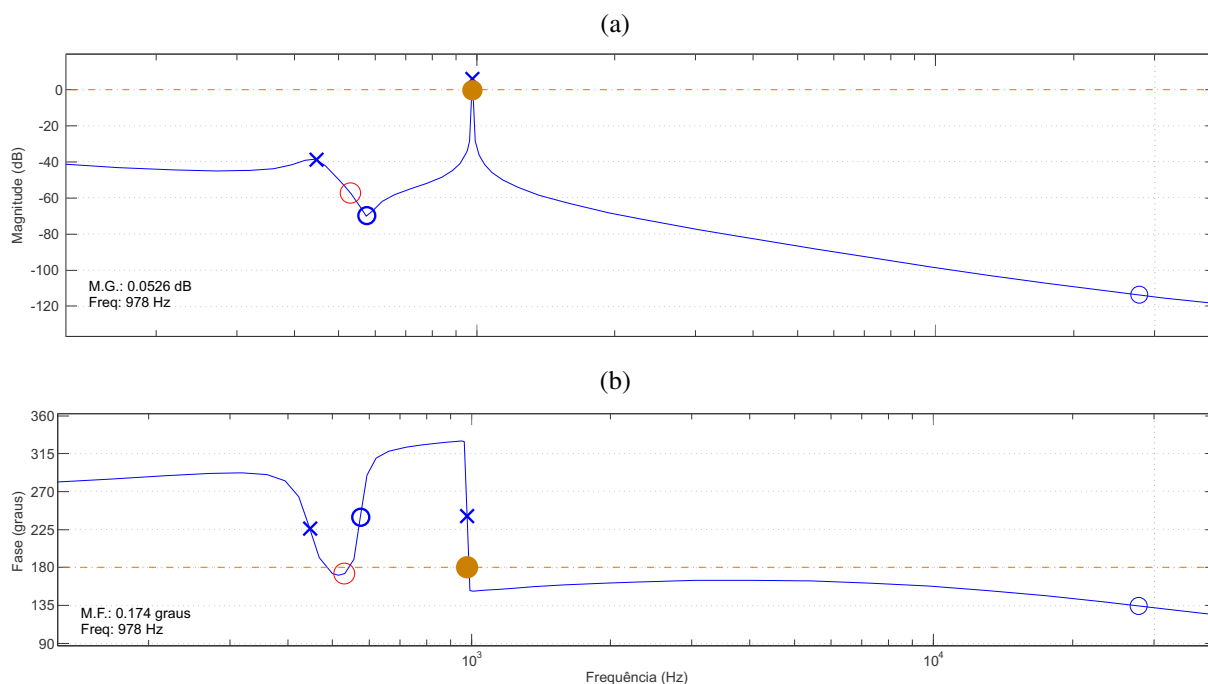


Fonte: próprio autor.

3.4.3 Controle da tensão V_o

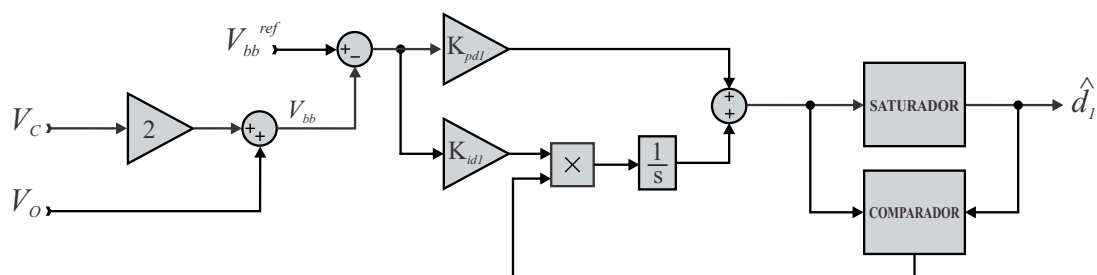
Controladores lineares PI, de corrente ou tensão, para inversores c.a. são comumente classificados com implementação em referencial estacionário abc ou em referencial síncrono. Controladores em referencial síncrono são geralmente aceitos como tendo melhor desempenho que os controladores em referencial estacionário porque eles operam com quantidades c.c. e, assim, podem eliminar erros de regime permanente. Portanto, para o controle de grandezas senoidais (tensão ou corrente) do inversor é natural pensar na aplicação de um controlador em referencial síncrono. O controlador PI em um referencial d-q síncrono permitiria a utilização de técnicas convencionais de projeto dos controladores, pois transforma os sinais controlados em c.c.. Ocorre que devido a complexidade da modelagem do inversor estudado, decidiu-se por desenvolver o controle monofásico e replicá-lo nas topologias trifásicas mais a frente estudadas. Apesar da decisão impedir a utilização do controle em d-q, possibilitou um melhor entendimento do conversor monofásico e seu comportamento frente aos controles desenvolvidos.

Figura 56 – Digrama de Bode de \hat{v}_{bb}/\hat{d}_1 em malha aberta ($V_o=220 V_{rms}$) - (a) Magnitude (b) Fase.



Fonte: próprio autor.

Figura 57 – Diagrama de blocos do controle de V_{bb} através de \hat{d}_1 .

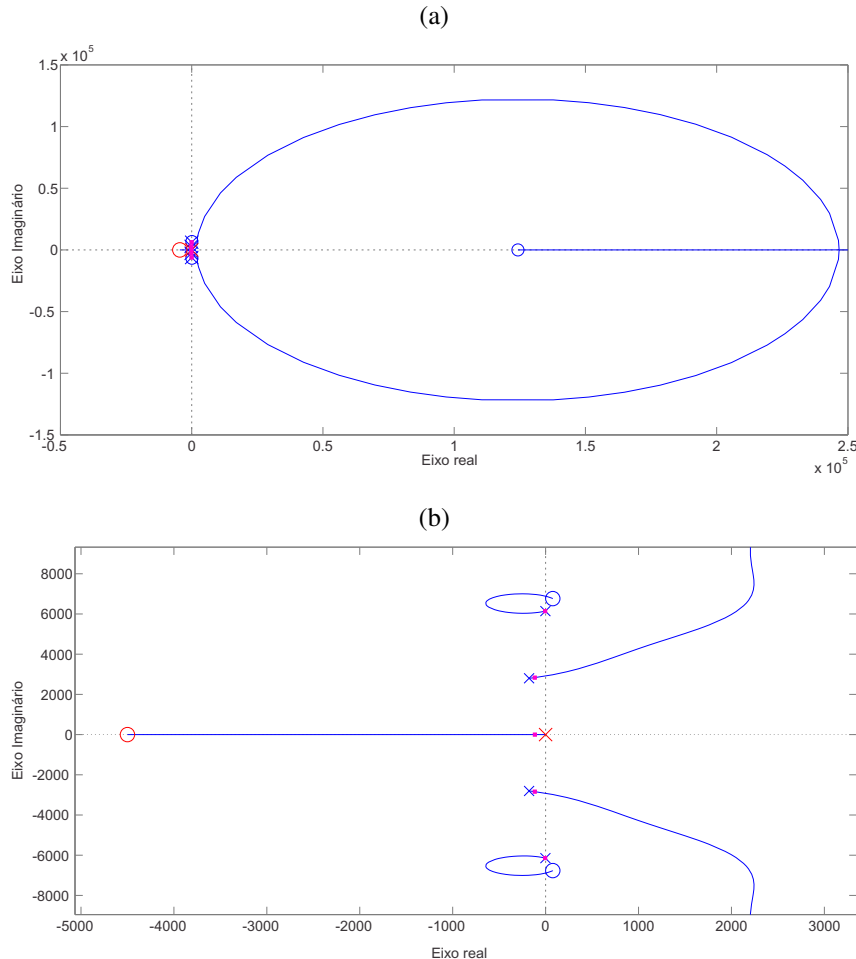


Fonte: próprio autor.

Sabe-se que é possível usar controladores proporcional + ressonante (PR) em referencial estacionário abc como um substituto ao controlador PI em referencial d-q síncrono. Escolhendo a função de transferência adequada para o termo ressonante, (ZMOOD; HOLMES, 2003), demonstram que as respostas transitória e de regime permanente do PR (em referencial estacionário) são iguais as respostas do PI (em referencial síncrono) quando usado os mesmos ganhos.

Um controlador c.a. em referencial estacionário pode conseguir erro nulo em regime permanente e pode ser diretamente aplicado a sinais c.a.. O princípio baseia-se em transformar

Figura 58 – (a) Lugar das raízes de \hat{v}_o/\hat{d}_2 para $V_o=220 V_{rms}$ considerando um PI com ganhos $K_p = -2,42 \cdot 10^{-5}$ e $K_i = -0,11$. para $V_o=110 V_{rms}$ considerando um PI com ganhos $K_p = -4,84 \cdot 10^{-5}$ e $K_i = -0,22$; (b) Ampliação para visualização dos polos para planta $\frac{\hat{v}_o}{\hat{d}_2}$.



Fonte: próprio autor.

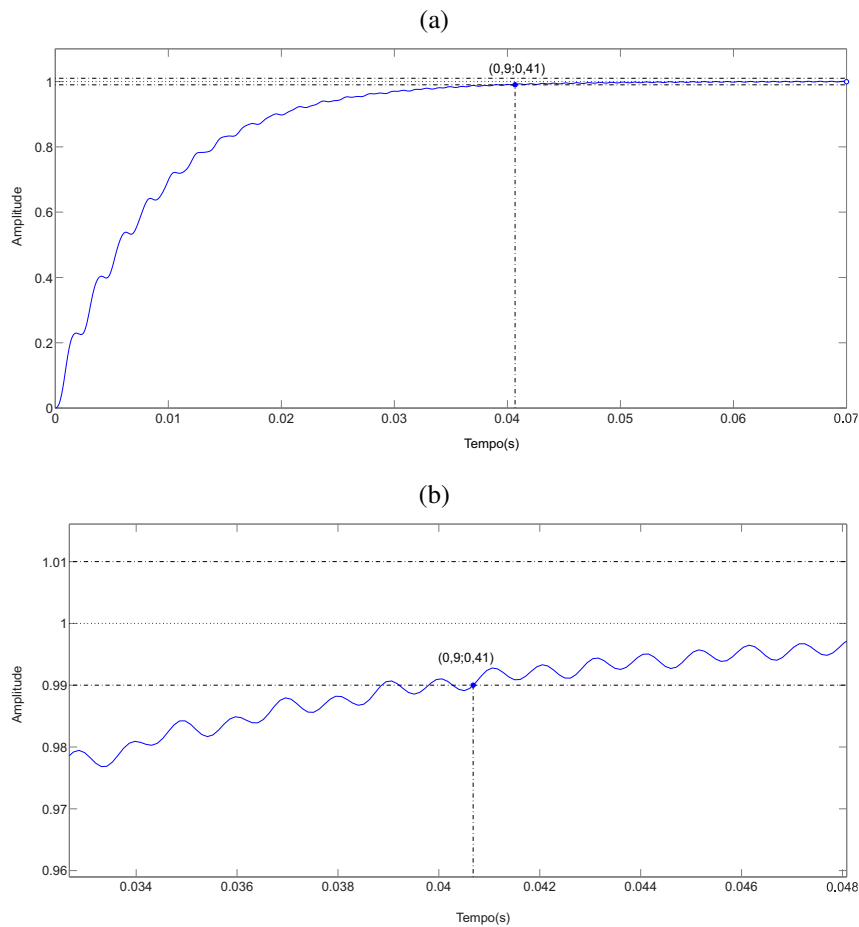
uma compensação c.c. em uma compensação equivalente c.a., de modo que elas tenham a mesma característica de resposta em frequência na largura de banda de interesse.

Dois estruturas de controle foram avaliadas (AL, 2012) e (ZMOOD; HOLMES, 2003) para aplicação. A primeira, conhecida como ROGI (*Reduced-Order Generalized Integrator*) é utilizada quando deseja-se compensar apenas uma sequência (positiva ou negativa) da grandeza controlada. Para tanto, utiliza-se um controlador integral, cuja função de transferência é:

$$\vec{F}_{ROGI}^{+\omega_0}(s) = \frac{k_i}{s - j\omega_0}. \quad (176)$$

A segunda estrutura, conhecida como SOGI (*Second-Order Generalized Integrator*), apresenta ganho infinito no par de frequências $\pm\omega_0$, produzindo erro nulo em regime permanente para sinais senoidais na referida frequência para sequências positiva e negativa, simultaneamente.

Figura 59 – (a) Resposta do sistema a um degrau para $V_o=220 V_{rms}$. (b) Ampliação da resposta a um degrau destacando o ponto onde $t_s(1\%) \geq 41ms$ para planta $\frac{\hat{v}_o}{d_2}$.



Fonte: próprio autor.

Sua função de transferência, utilizada no controlador integral, é caracterizada por ser de segunda ordem como se segue:

$$F_{SOGI}^{\pm\omega_0}(s) = \frac{2k_i s}{s^2 + \omega_0^2}. \quad (177)$$

Considerando que a grandeza a ser controlada é monofásica, o SOGI é mais adequado pois pode ser aplicado diretamente sobre o sinal de erro da grandeza controlada. Já o ROGI é um controlador vetorial que deve ser aplicado ao vetor erro, $\vec{e} = e_\alpha + j e_\beta$, indisponível em uma aplicação monofásica.

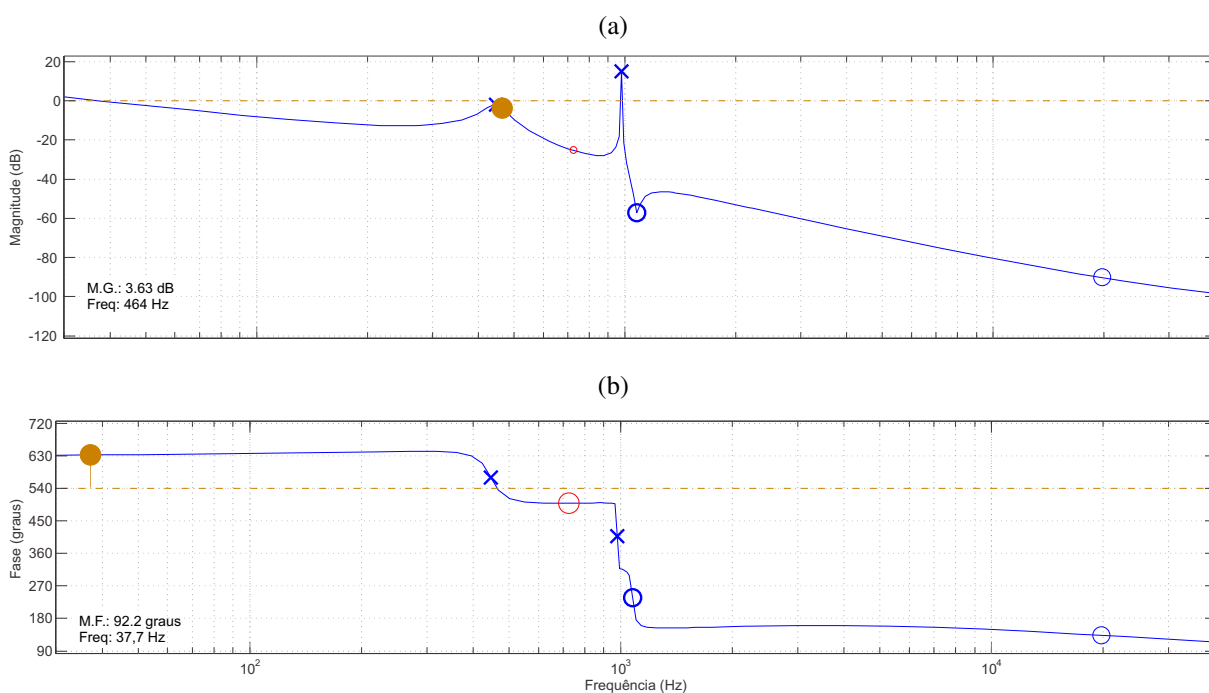
Considerou-se que a prova teórica de equivalência entre as compensações do PI e PR foi desenvolvida em (ZMOOD; HOLMES, 2003). Assim o projeto dos ganhos do controlador ressonante foi obtido utilizando-se a mesma metodologia empregada para obtenção dos ganhos do controle da tensão V_{bb} . Portanto, o controle de V_o foi projetado utilizando o lugar das raízes considerando um PI e os mesmos ganhos obtidos neste PI são usados para o controlador PR. Ou seja, os ganhos proporcionais dos dois controladores são iguais e o ganho integral do PI é igual

ao ganho ressonante do PR. Dessa forma, para controlar V_o (referência senoidal) utilizou-se o controlador PR com os ganhos calculados com o procedimento citado.

Nas figuras 58 e 59 pode ser observada a mesma sistemática utilizada para determinação dos ganhos de V_{bb} para V_o . A função de transferência \hat{v}_o/\hat{d}_2 possui seus polos com valor real negativo, estando posicionados à esquerda do eixo das ordenadas, além de possuir zeros do lado direito, demonstrando que, assim como \hat{v}_{bb}/\hat{d}_1 , é um sistema estável de fase não-mínima (OGATA, 2011).

A análise de resposta em frequência através do diagrama de Bode (Figura 60) mostra um sistema estável com MG e MF conforme estabelecidos na figura. A busca por controles com respostas mais rápidas trazia o sistema para a instabilidade (com MG negativa, por exemplo). Portanto, acredita-se que o controle obtido, atende as premissas estabelecidas.

Figura 60 – Digrama de Bode de \hat{v}_o/\hat{d}_2 em malha aberta ($V_o=220 V_{rms}$) - (a) Magnitude (b) Fase.



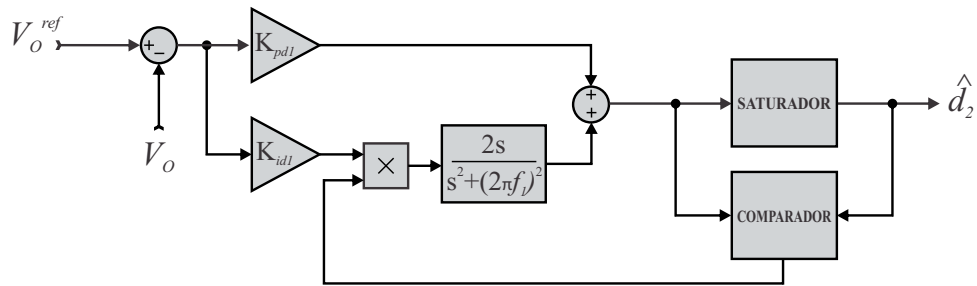
Fonte: próprio autor.

O controle de V_o também pode ser apresentado como diagramas de blocos (Figura 61), seguindo os mesmos passos adotados para V_{bb} .

3.4.4 Compensação do valor c.c. em V_o

Desde do Capítulo 2, através de (75), sabe-se de V_o terá naturalmente uma componente c.c., destacada em (165). Considerando que o controle de V_o não tem a capacidade de controlar a

Figura 61 – Diagrama de blocos do controle de v_o através de \hat{d}_2 , onde f_1 é a frequência da fundamental.



Fonte: próprio autor.

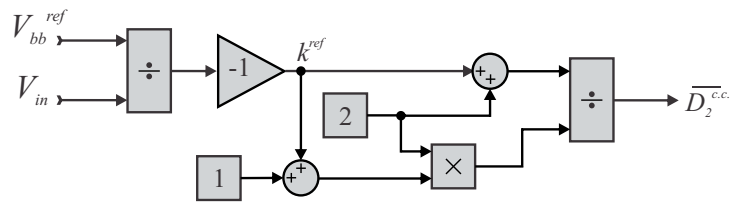
componente *c.c.*, optou-se por realizar uma compensação a cada interação, com base nos valores de V_{bb}^{ref} .

Ao observa-se (68)) percebe-se que $\hat{v}_{bb} = -kV_{in}$. Assim, dado um valor de referência de V_{bb} encontra-se $k^{ref} = -\frac{V_{bb}^{ref}}{V_{in}}$.

De posse do valor k^{ref} é possível encontrar $\bar{D}_2^{c.c.}$ através da equação (165). Onde $\bar{D}_2^{c.c.}$ é o novo valor de equilíbrio que elimina a componente *c.c.* original (Figura 62):

$$\bar{D}_2^{c.c.} = \frac{k^{ref} + 2}{2(k^{ref} + 1)}. \tag{178}$$

Figura 62 – Diagrama de blocos para obtenção de do controle de $\bar{D}_2^{c.c.}$.



Fonte: próprio autor.

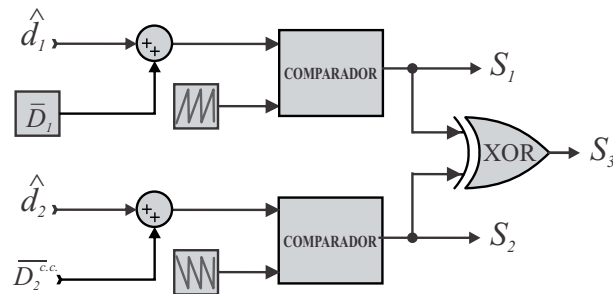
Portanto, os sinais de gatilho das chaves podem ser obtidos conforme diagrama de blocos da Figura 63.

3.5 Resultados de Simulação

Com base nos controles definidos, foram realizadas as simulações mostradas a seguir alimentando uma carga resistiva, onde são dados dois degraus de +5%:

- 1º Degrau $\Rightarrow V_{bb}^{ref}$ em 0,05s;

Figura 63 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 , S_2 e S_3 , considerando a compensação da componente c.c. de V_o .



Fonte: próprio autor.

- 2º Degrau $\Rightarrow V_o^{\hat{ref}}$ em 0,35s;

Ao aplicar-se o primeiro degrau percebe-se que V_{bb} sai do valor de -355 V para -373 V em torno de 0,7 s (Figura 64b), intervalo próximo à resposta do controle obtido (Figura 55). Já a aplicação do segundo degrau, não causa apenas um pequeno distúrbio em D_1 e V_{bb} , não causando variações significativas, como era de se esperar por tratar-se de dois sistemas independentes.

Através da Figura 65b, verifica-se que apenas o segundo degrau provoca modificação na forma de onda de V_o , fazendo com que seu valor de pico passe de 311 V para 327 V. É interessante observar que os dois degraus provocam modificações distintas em V_c (Figura 65c). O primeiro degrau faz com que o valor médio de V_c passe de -178 V para -187 V, pois o valor médio de V_c é a metade de V_{bb} . Já o segundo degrau faz com que a amplitude V_c aumente, de forma a compensar o aumento da amplitude de V_o e manter o valor de V_{bb} constante.

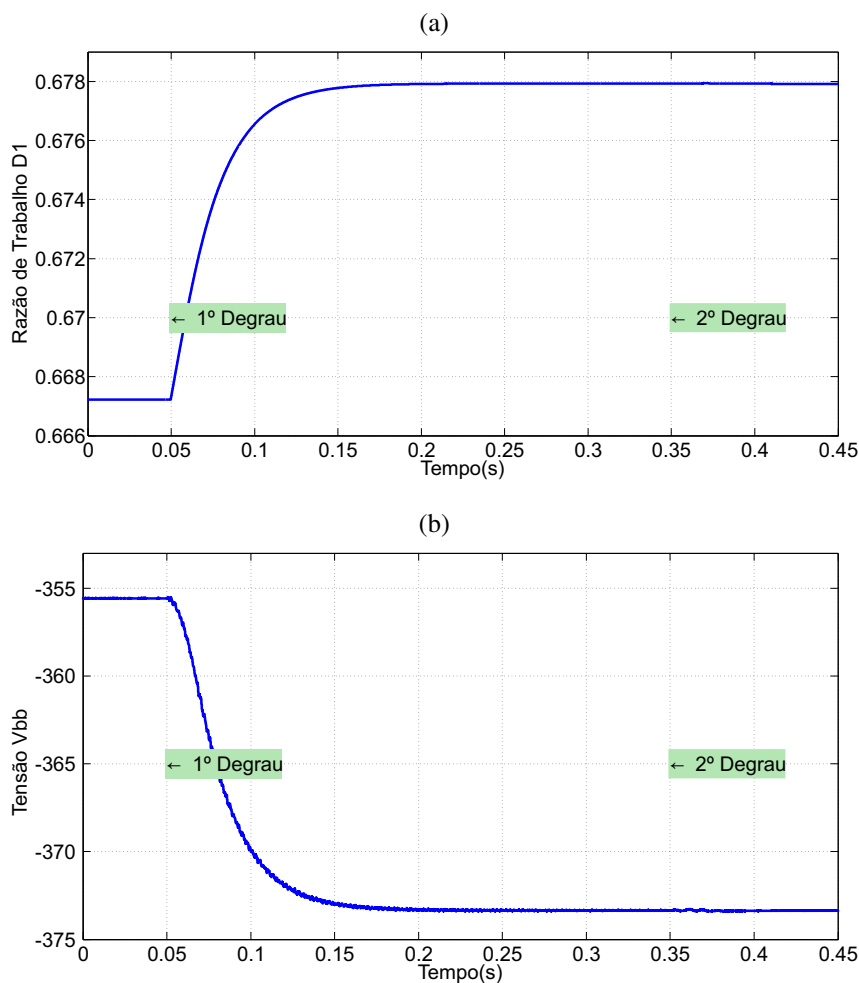
Também foram obtidos os gráficos de I_L e I_{Lf} (Figura 66). Como as duas grandezas possui relações com as duas razões de trabalho, visualmente não se consegue perceber as influências dos degraus em seus valores.

3.6 Conclusão

Através da modelagem em pequenos sinais foi possível conseguir projetar o controle do barramento c.c. virtual (V_{bb}) e da tensão na carga resistiva (V_o) de forma eficaz, dentro das condições de respostas estabelecidas, para às duas possibilidades de alimentação da carga (110 V_{rms} ou 220V V_{rms}).

Quanto ao controle de V_{bb} percebe-se que os ganhos do controle estabelecidos (K_p e K_i) são idênticos para as duas tensões de alimentação da carga. Isso se deve ao fato dos ganhos da topologia (A e k) terem sido mantidos os mesmos nos dois casos, assim, mantendo a relação entre tensão de entrada e saída as mesmas.

Figura 64 – Gráficos de simulação do circuito (dados da Tabela 9): (a) Razão de trabalho D_1 ; (b) Tensão V_{bb}



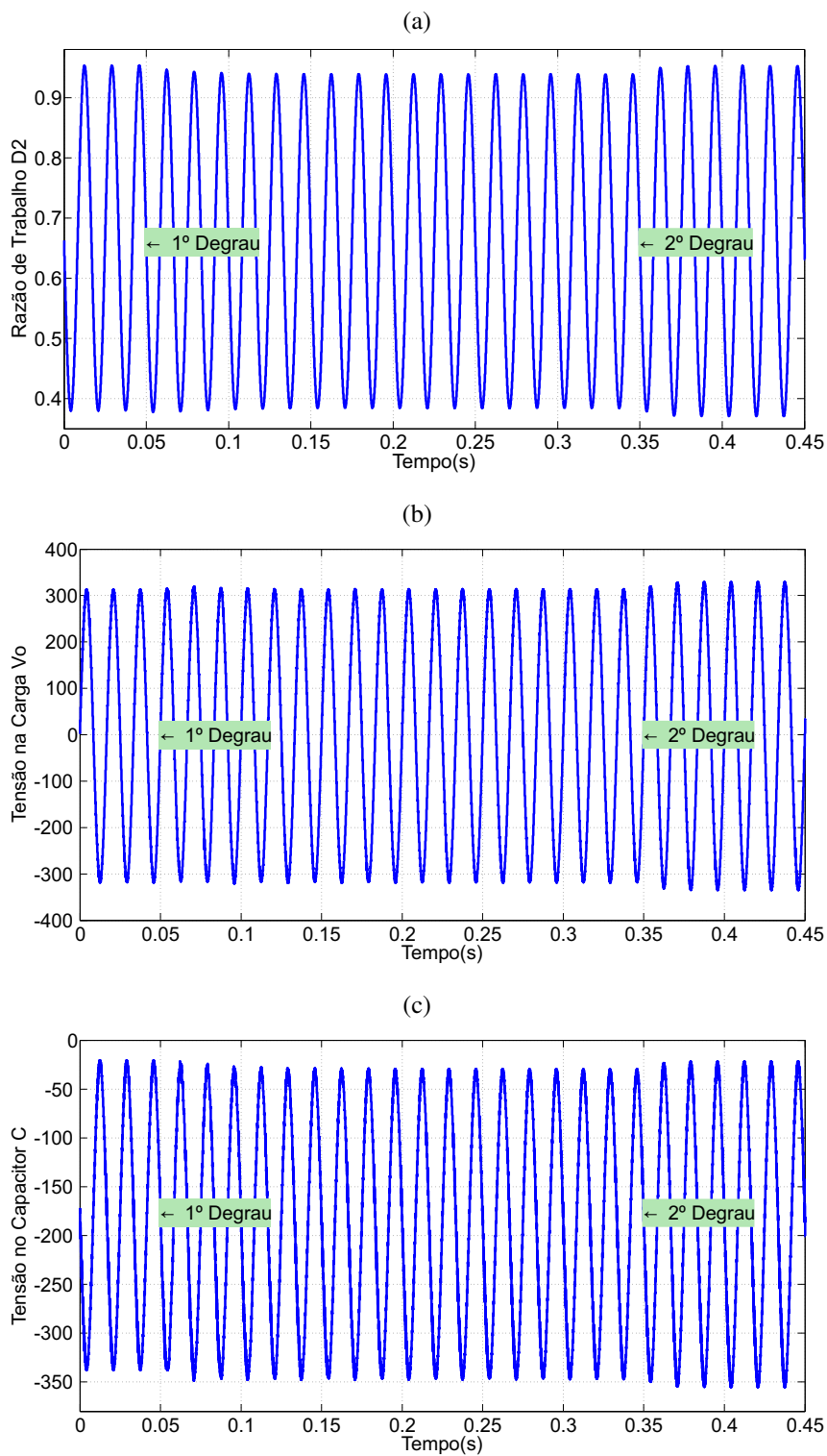
Fonte: próprio autor.

Já no controle da tensão de saída possuem ganhos de controle distintos em virtudes dos patamares de tensão citados. Quanto à estabilidade, através da comparação entre Tabelas 10 e 11, percebe-se que, apesar de muito similares, em $220 V_{rms}$ o sistema fica um pouco mais próximo da instabilidade que do que o sistema em $110V$. Mesmo assim, o controle em $220 V_{rms}$ simulado se mostrou estável nas simulações, conforme pode ser visto na Figura 65.

Pelo exposto, vê-se que os dois conjuntos de controle projetados, para 110 e $220V$, se mostraram estáveis e assim poderiam ser utilizados na montagem do protótipo. Porém, devido a limitações do laboratório, com destaque para a fonte c.c. disponível, a tensão aplicada para a montagem ficou limitada a $110 V_{rms}$ na carga. Assim, decidiu-se que as simulações apresentadas a partir no capítulo seguinte deveriam ser compatíveis com as limitações estabelecidas na bancada.

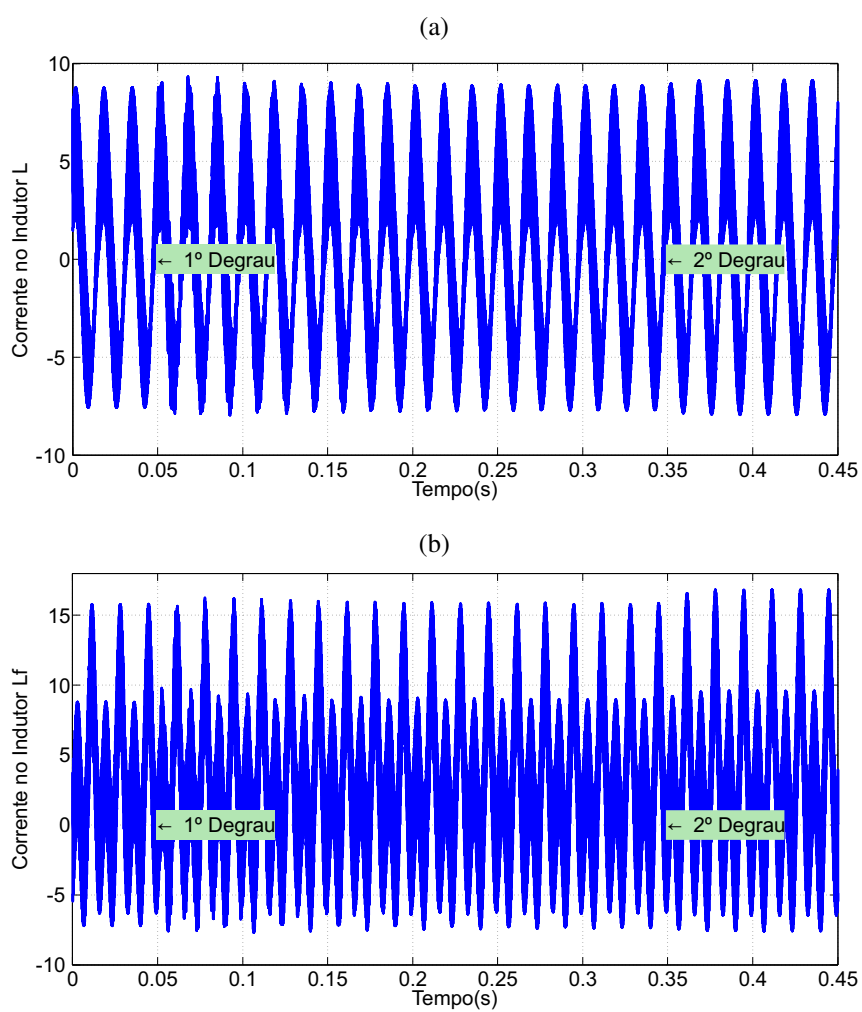
No próximo capítulo, será possível verificar que o referido controle também se mostrou eficaz quando aplicado às topologias trifásicas com nove e sete chaves.

Figura 65 – Gráficos de simulação do circuito (dados da Tabela 9): (a) Razão de trabalho D_2 ; (b) Tensão V_o ; (c) Tensão V_c



Fonte: próprio autor.

Figura 66 – Gráficos de simulação do circuito (dados da Tabela 9): (a) Corrente I_L ; (b) Corrente I_{Lf}



Fonte: próprio autor.

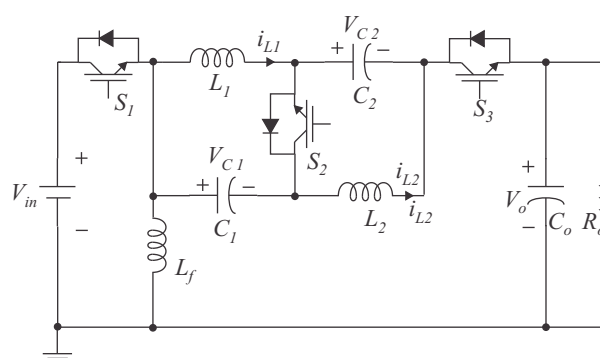
4 INVERSORES FONTE Z TRIFÁSICOS DE TRÊS ESTADOS

Nesse capítulo será mostrado o desenvolvimento de duas topologias de inversores fonte z trifásicos de três estados. A primeira topologia é deduzida a partir da associação de três inversores monofásicos, sendo um para cada fase, perfazendo nove chaves. Para reduzir a quantidade de chaves, a fim de buscar uma redução de custo e simplificação dos circuitos, observou-se que poderiam ser eliminadas duas das chaves sem que houvesse prejuízo à funcionalidade da topologia trifásica. Dessa forma, a segunda proposta é a de um inversor com sete chaves.

Análise, projeto e resultados de simulação e experimentais são apresentados para comprovação das propostas.

4.1 Inversor com Nove Chaves

Figura 67 – Topologia *buck-boost* já apresentada na Figura 29a, adotada como base para o desenvolvimento da topologia trifásica.



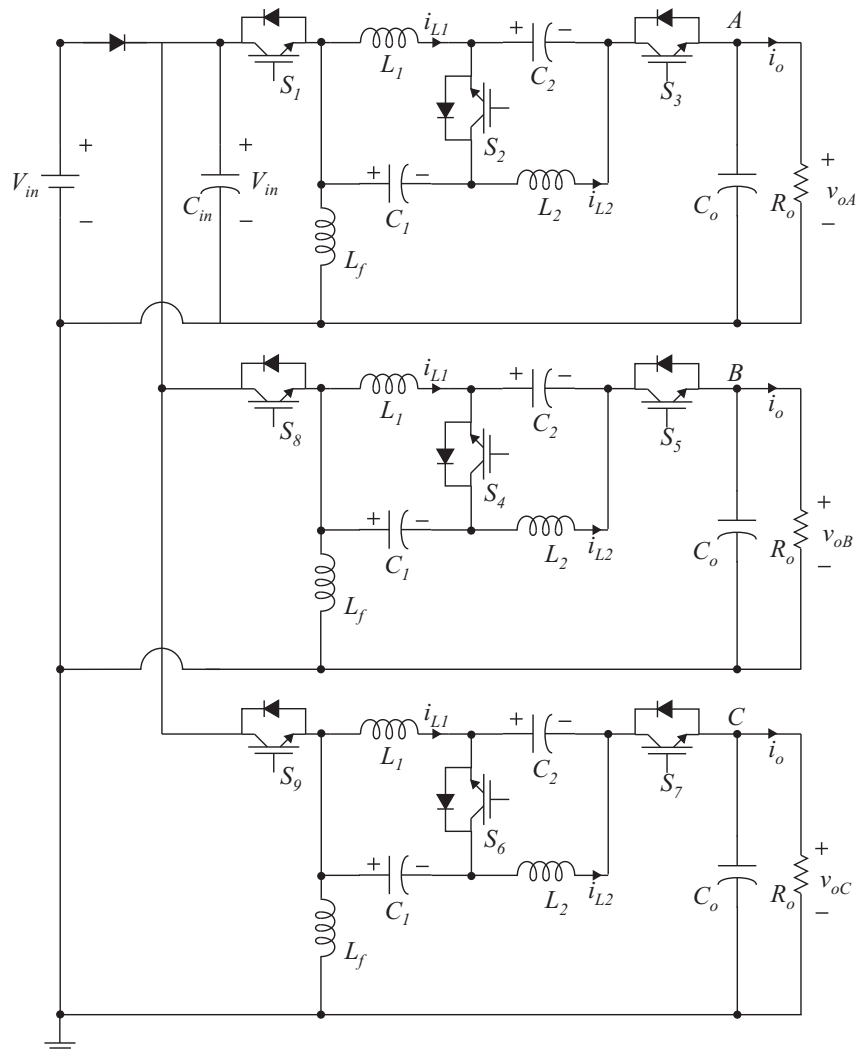
Fonte: próprio autor.

Após as análises e simulações feitas com o ZSI monofásico, percebe-se que a transformação do mesmo em um circuito trifásico é bastante intuitiva. Observando a Figura 29a, apresentada novamente na Figura 67 apenas para facilitar a compreensão do desenvolvimento, cujo modelo foi obtido no Capítulo 3, é fácil deduzir que a associação de três inversores monofásicos poderia ser utilizada em uma topologia trifásica *buck-boost*, conforme apresentado na Figura 68.

Ainda com o intuito de facilitar o entendimento do desenvolvimento, diminuindo o número de incógnitas, são feitas algumas simplificações com relação as identificações dos componentes no circuito da Figura 68 em relação à Figura 67, levando em consideração que a carga R_o é equilibrada, com amplitudes de tensões e correntes iguais:

- $L_1 = L_2 = L$;
- $C_1 = C_2 = C$;
- $v_o = v_{oA} = v_{oB} = v_{oC}$;
- $i_o = i_{oA} = i_{oB} = i_{oC}$.

Figura 68 – Topologia *buck-boost* trifásica com nove chaves.



Fonte: próprio autor.

Pode-se organizar e agrupar as nove chaves em três grupos (g_1 , g_2 e g_3), sendo os mesmos estabelecidos de acordo com as funções das chaves S_1 , S_2 e S_3 na topologia monofásica da Figura 67. Portanto, tem-se que o controle das chaves é o mesmo feito para o inversor monofásico, exceto pela defasagem natural necessária para cada fase (A , B e C).

g_1) S_1 , S_8 e S_9

g_2) S_2, S_4 e S_6

g_3) S_3, S_5 e S_7 .

Partindo desse princípio, e baseando-se nas equações (29), (70) e (75), já deduzidas no Capítulo 2, é possível encontrar as razões de trabalho de cada uma das chaves apenas defasando no tempo, em $\frac{2\pi}{3}$ rad, as razões de trabalho das chaves que realizam a função inversora, grupo g_2 . Já as razões das chaves do grupo g_1 não necessitam ser defasadas, função essa idêntica e repetida nas três fases. Por outro lado o grupo g_3 , continua auxiliando as outras duas, das respectivas fases, nas funções inversora e *buck-boost*. Portanto, baseado nessas premissas, pode-se relacionar as razões de trabalho das chaves da seguinte maneira:

$$\begin{aligned}
 D_1 &= D_8 = D_9 = \frac{k}{1+k} \\
 D_2 &= \frac{k+2 - A_{sen}(\omega t)}{2(k+1)} \\
 D_3 &= 2 - D_1 - D_2 \\
 D_4 &= \frac{k+2 - A_{sen}(\omega t - \frac{2\pi}{3})}{2(k+1)} \\
 D_5 &= 2 - D_8 - D_4 \\
 D_6 &= \frac{k+2 - A_{sen}(\omega t + \frac{2\pi}{3})}{2(k+1)} \\
 D_7 &= 2 - D_9 - D_6.
 \end{aligned} \tag{179}$$

Da mesma forma que o circuito de nove chaves pode ser obtido através da associação de três circuitos monofásicos, as equações do modelo matemático em grandes sinais podem ser obtidas através da derivação das equações (108) a (111) sendo uma para cada fase, totalizando doze expressões, apresentadas em formato matricial (180).

$$\frac{d}{dt} \begin{pmatrix} i_{LfA} \\ i_{LfB} \\ i_{LfC} \\ i_{LA} \\ i_{LB} \\ i_{LC} \\ v_{cA} \\ v_{cB} \\ v_{cC} \\ v_{oA} \\ v_{oB} \\ v_{oC} \end{pmatrix} = (A) \begin{pmatrix} i_{LfA} \\ i_{LfB} \\ i_{LfC} \\ i_{LA} \\ i_{LB} \\ i_{LC} \\ v_{cA} \\ v_{cB} \\ v_{cC} \\ v_{oA} \\ v_{oB} \\ v_{oC} \end{pmatrix} + \begin{pmatrix} \frac{D_1}{L_f} \\ \frac{D_8}{L_f} \\ \frac{D_9}{L_f} \\ \frac{(1-D_2)}{L} \\ \frac{(1-D_4)}{L} \\ \frac{(1-D_6)}{L} \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} v_{in}. \tag{180}$$

$$A = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 & 0 & \frac{2(1-D_1)}{L_f} & 0 & 0 & \frac{(1-D_1)}{L_f} & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & \frac{2(1-D_8)}{L_f} & 0 & 0 & \frac{(1-D_8)}{L_f} & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & \frac{2(1-D_9)}{L_f} & 0 & 0 & \frac{(1-D_9)}{L_f} \\ 0 & 0 & 0 & 0 & 0 & 0 & \frac{(2D_2-1)}{L} & 0 & 0 & \frac{(D_2-1)}{L} & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & \frac{(2D_4-1)}{L} & 0 & 0 & \frac{(D_4-1)}{L} & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & \frac{(2D_6-1)}{L} & 0 & 0 & \frac{(D_6-1)}{L} \\ \frac{(D_1-1)}{C} & 0 & 0 & \frac{(1-2D_2)}{C} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{(D_8-1)}{C} & 0 & 0 & \frac{(1-2D_4)}{C} & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & \frac{(D_9-1)}{C} & 0 & 0 & \frac{(1-2D_6)}{C} & 0 & 0 & 0 & 0 & 0 & 0 \\ \frac{(D_1-1)}{C_o} & 0 & 0 & \frac{2(1-D_2)}{C_o} & 0 & 0 & 0 & 0 & 0 & 0 & \frac{-1}{C_o R_o} & 0 \\ 0 & \frac{(D_8-1)}{C_o} & 0 & 0 & \frac{2(1-D_4)}{C_o} & 0 & 0 & 0 & 0 & 0 & 0 & \frac{-1}{C_o R_o} \\ 0 & 0 & \frac{(D_9-1)}{C_o} & 0 & 0 & \frac{2(1-D_6)}{C_o} & 0 & 0 & 0 & 0 & 0 & \frac{-1}{C_o R_o} \end{pmatrix}. \quad (181)$$

Nesse ponto vale observar que na transição entre a topologia monofásica em trifásica, a fonte c.c. ideal que vinha sendo apresentada foi substituída por uma fonte c.c. em série com um diodo, objetivando representar o arranjo executado no experimento. A colocação do diodo tem por objetivo proteger a fonte.

Os resultados da simulação do inversor trifásico com nove chaves, com base nos parâmetros da Tabela 9, são mostrados nas figuras 69 e 70.

Observando os gráficos de tensão e corrente na carga (figuras 69a e 69b) percebe-se que há uma pequena componente c.c. deslocando levemente as ondas no sentido do semiciclo positivo. Tal componente é esperada, sendo oriunda do termo $\frac{k+2}{2(k+1)}$ constante nas razões de trabalho D_2 , D_4 e D_6 em (179). O valor da componente c.c., em torno de 2,23 V, não é significativo para o inversor de nove chaves alimentando uma carga resistiva. Contudo, pode se tornar relevante no caso de conexões à rede e no inversor de sete chaves, conforme será abordado mais adiante.

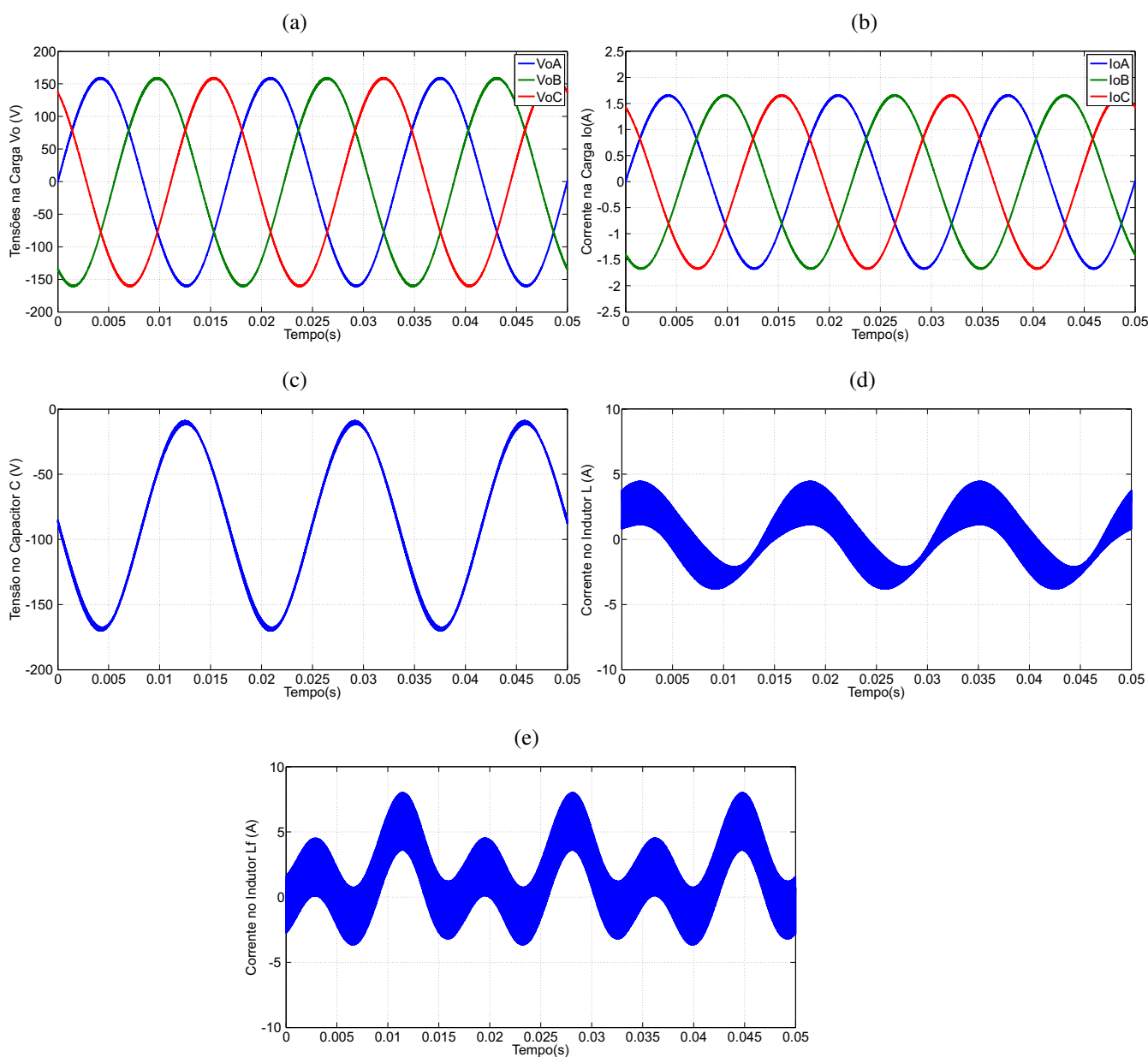
Ainda das simulações, encontrou-se uma distorção harmônica total (DHT) de 4,22 % na corrente da carga.

Nos gráficos da Figura 70, pode-se observar que as tensões e as correntes nas três chaves ficam abaixo de 300 V e 15 A de pico, respectivamente, coerentes com os cálculos teóricos definidos no Capítulo 2.

4.1.1 Modelagem do inversor com nove chaves

Foram realizadas simulações comparando os resultados obtidos com o circuito e modelo matemático (180), validando a derivação do modelo do conversor monofásico (equação 71) para a topologia trifásica com nove chaves.

Figura 69 – Inversor *buck-boost* com nove chaves e carga resistiva: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f .



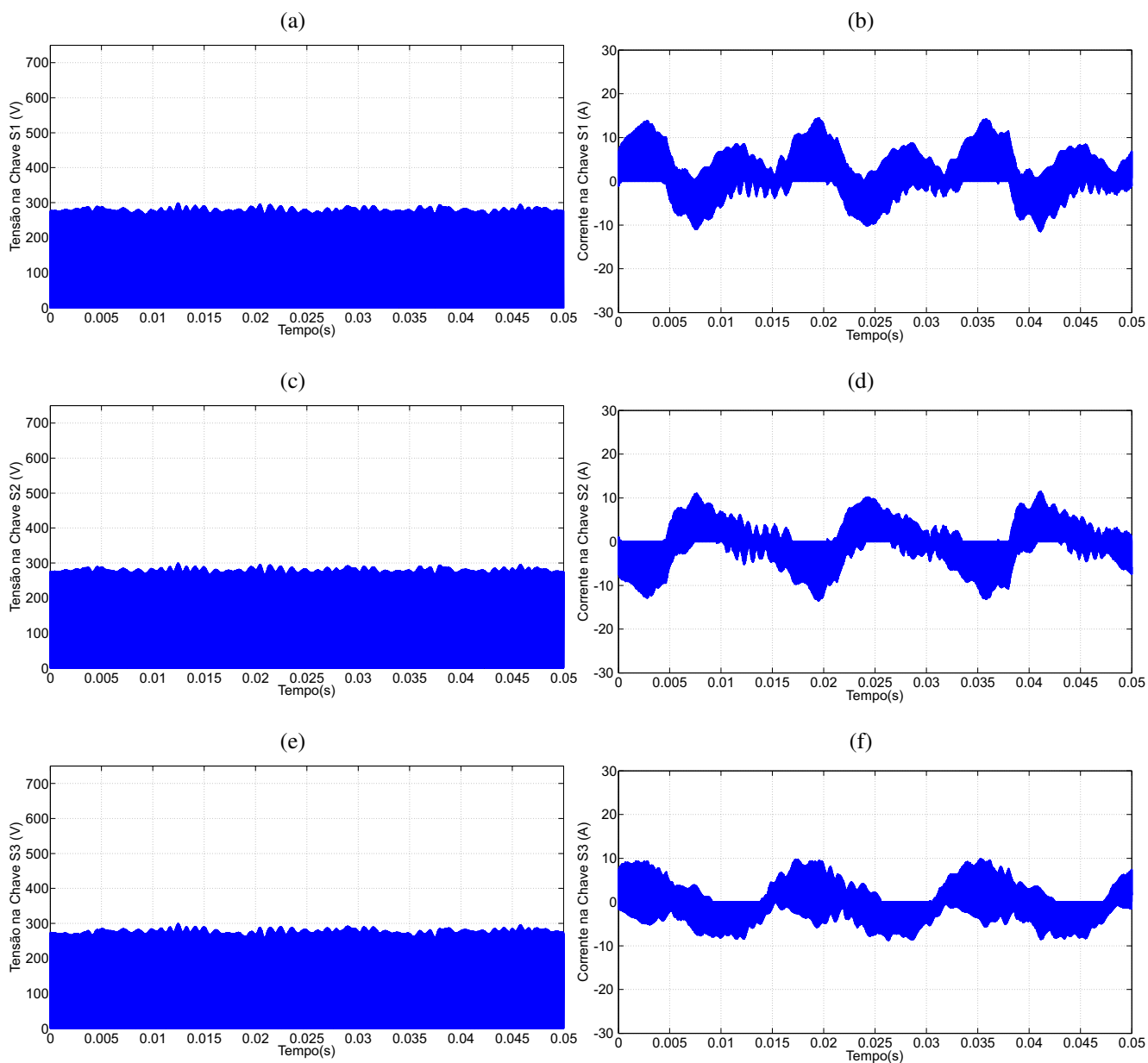
Fonte: próprio autor.

4.1.2 Inversor com nove chaves com controle

Considerando a validação do modelo para o inversor de nove chaves, o controle estabelecido para o inversor monofásico (figuras 57, 61 e 62) pode ser replicado para cada fase, resultando no diagrama de blocos para os sinais das chaves (Figura 72)

Na Figura 73, são apresentados os resultados do conversor de nove chaves com o controle de v_{bb} e v_o , alimentando uma carga resistiva. As simulações sinalizam a eficiência do controle estabelecido para o inversor trifásico. Porém, entendeu-se que a concepção de um inversor

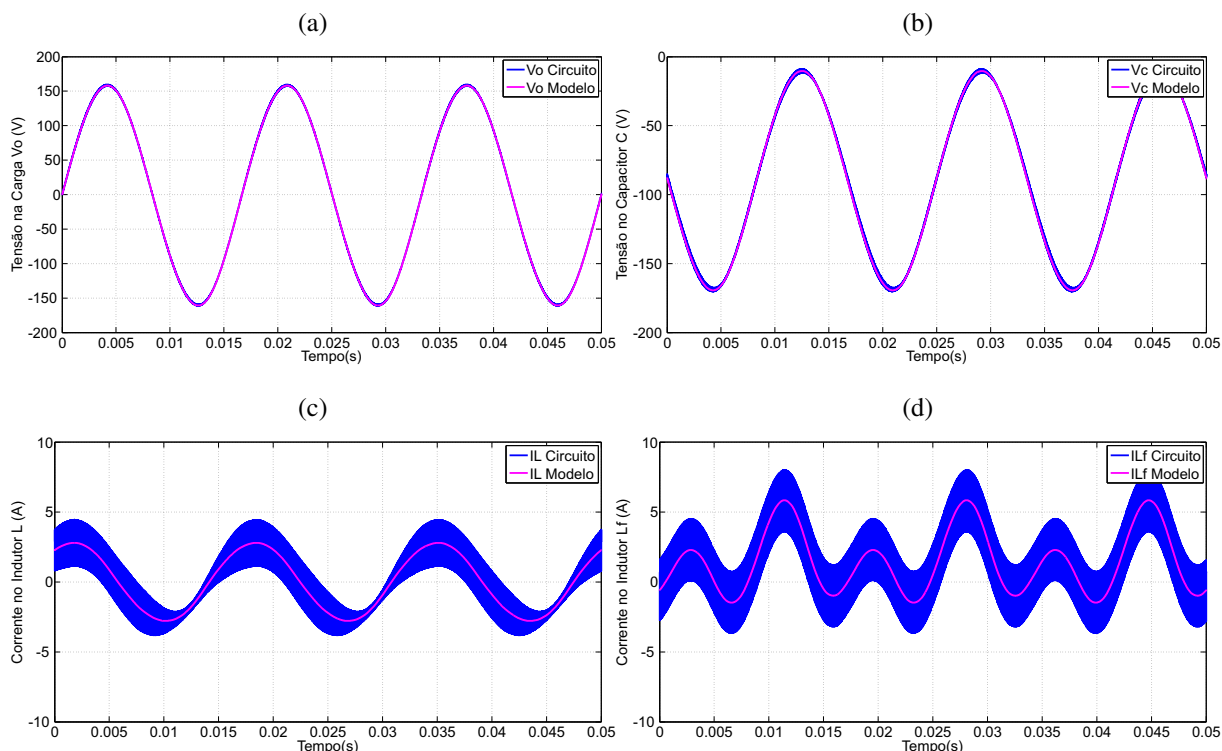
Figura 70 – Inversor *buck-boost* com nove chaves e carga resistiva: tensões e correntes nas chaves da fase A.



Fonte: próprio autor.

com nove chaves, pela mera utilização de três inversores monofásicos não traria contribuição suficiente à pesquisa. Ainda mais, considerando que existem soluções trifásicas com menor custo, pois utilizam menos chaves, conforme visto no Capítulo 1. Assim, ficou claro que uma das contribuições do trabalho, além do estabelecimento do modelo e do controle desenvolvidos até aqui, seria conseguir desenvolver uma topologia que utilizasse menos chaves, conforme mostrado a seguir.

Figura 71 – Comparação entre as tensões e correntes da fase A do inversor com nove chaves, obtidas do circuito e modelo em regime permanente



Fonte: próprio autor.

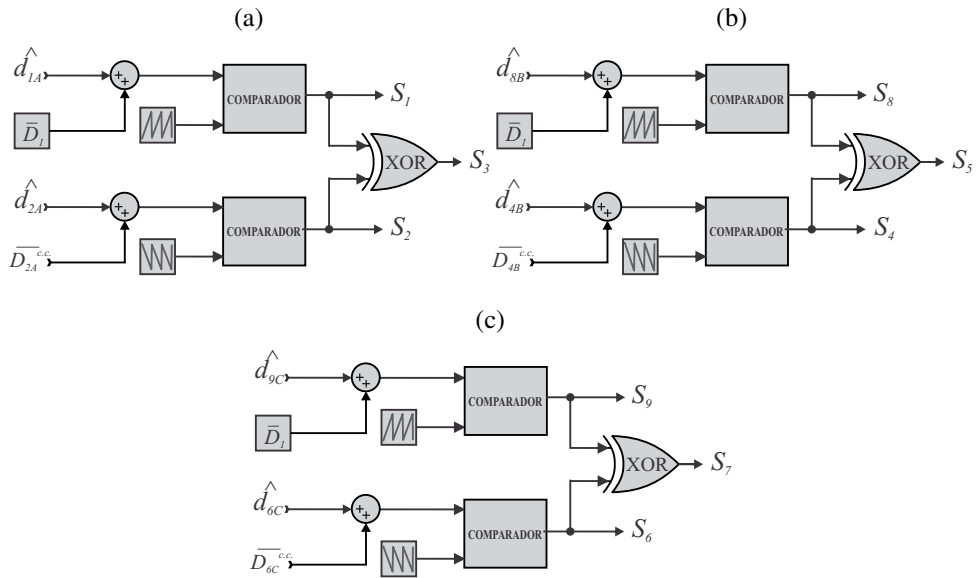
4.2 Inversor com Sete Chaves

Ao observar-se o conjunto de equações em (179), vê-se que as chaves (S_1 , S_8 e S_9), da Figura 68, realizam a mesma função, possuindo a mesma razão de trabalho. Portanto, poder-se-ia eliminar duas das chaves sem que houvesse prejuízo funcional a topologia estudada. Assim, a Figura 74 apresenta a primeira topologia do inversor com sete chaves estudada. A mesma é obtida através da eliminação das chaves S_8 e S_9 do circuito da Figura 68.

Ao eliminar as referidas chaves, tomou-se o cuidado em manter a simetria do circuito para as três fases. Para tanto, o ponto de conexão das malhas *semi-Z* das três fases passa a ser o polo positivo do indutor L_f . Tal preocupação se mostrou importante durante o desenvolvimento, pois, além da simetria, manteve a similaridade entre as topologias de nove e sete chaves permitindo a compatibilidade do controle desenvolvido para o de nove chaves. Para o circuito da Figura 74, foram realizadas as simulações mostradas nas figuras 75 e 76. Percebe-se que com a nova topologia não houve alteração nos perfis de corrente e tensão fornecidos à carga, ao comparar os gráficos das figuras 75a e 75b com os do inversor com nove chaves (figuras 69a e 69b).

Todavia, as correntes das chaves S_2 e S_3 sofreram grandes alterações (figuras 76d e 76f), passando a patamares de valores maiores do que os encontrados no inversor com nove chaves.

Figura 72 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 a S_9 , considerando a compensação da componente c.c. de v_o .



Fonte: próprio autor.

Isso ocorre, pois nessa nova topologia apenas uma chave, S_1 , fica compartilhada com as redes de impedância do *semi-ZSI* das três fases. Para facilitar o entendimento, a seguir são relacionados os possíveis estados de operação das chaves (Tabela 13), derivados do inversor monofásico (Tabela 1). Quando a chave S_1 abre (Figura 77a) tem-se:

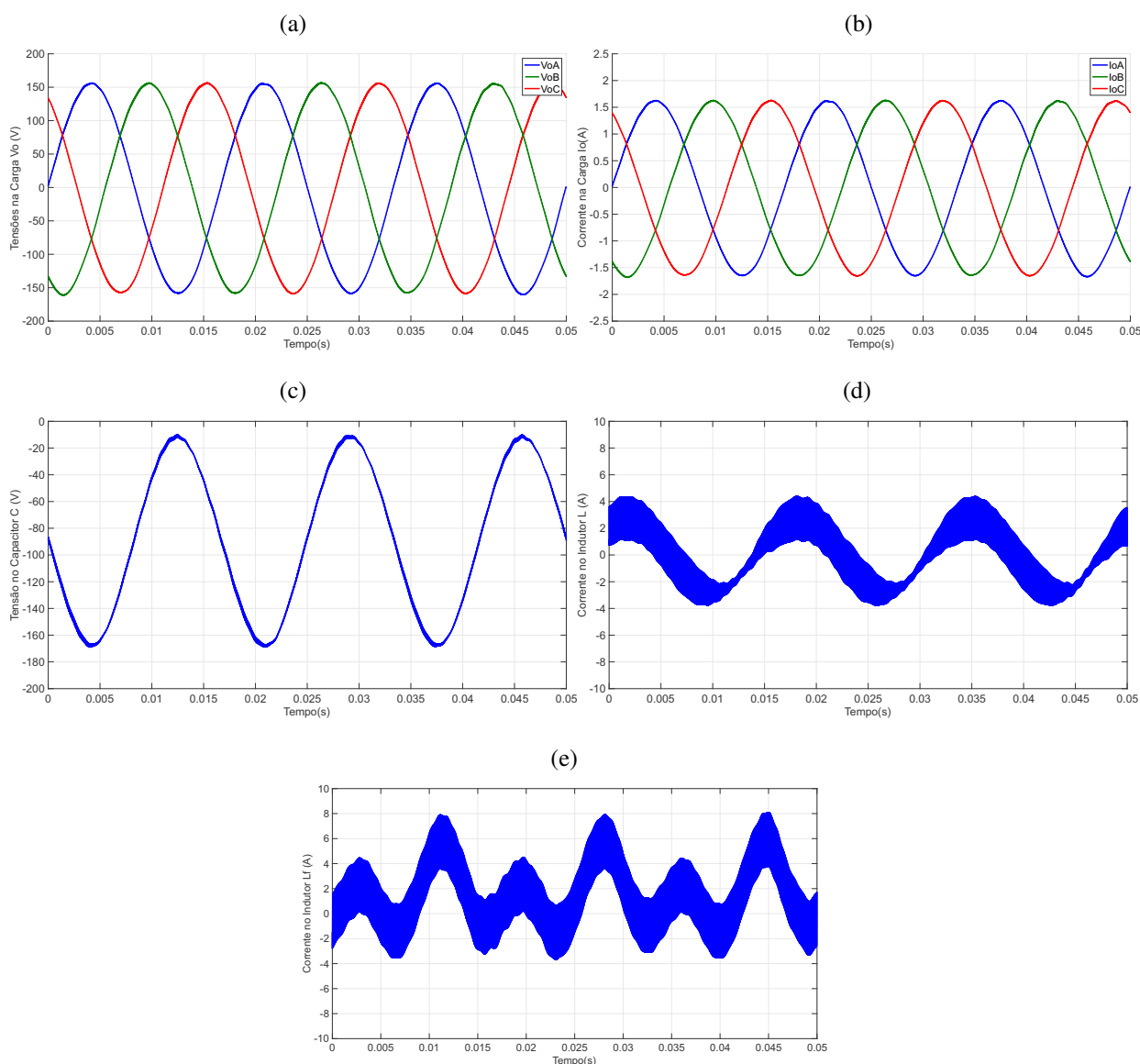
Tabela 13 – Estados possíveis de operação das chaves para o inversor de sete chaves.

Operação (fase A)	S_1	S_2	S_3	S_4	S_5	S_6	S_7
1º Estado	1	0	1	0	1	0	1
	1	0	1	0	1	1	0
	1	0	1	1	0	0	1
	1	0	1	1	0	1	0
2º Estado	1	1	0	0	1	0	1
	1	1	0	0	1	1	0
	1	1	0	1	0	0	1
	1	1	0	1	0	1	0
3º Estado	0	1	1	1	1	1	1

Fonte: próprio autor.

- As correntes nas malhas *semi-Z* de cada fase definidas pela corrente que passa por L_f ;
- A associação em série dos capacitores C_1 , C_2 e C_o em cada fase;

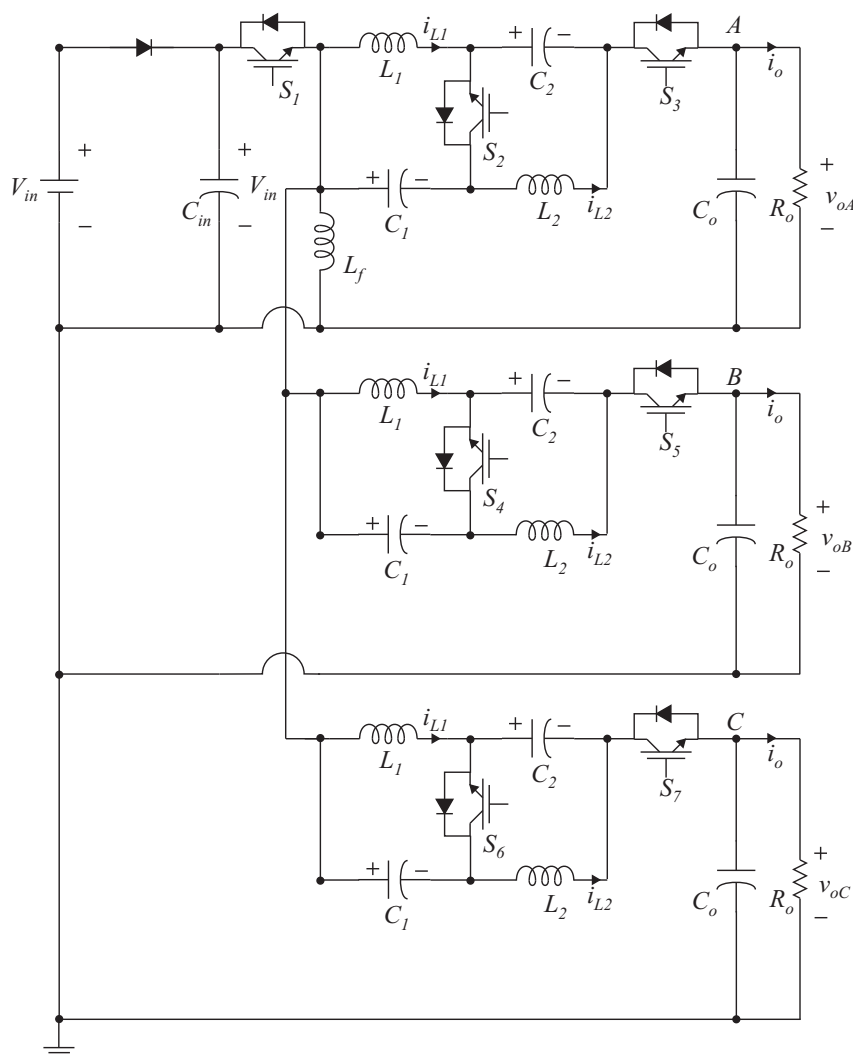
Figura 73 – Inversor *buck-boost* com nove chaves e controle: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f .



Fonte: próprio autor.

- O paralelismo da associação dos capacitores em relação a fase;
- v_{bb} torna-se a tensão no indutor L_f , mas com contribuição das três fases. Porém, v_{bbA} , v_{bbB} e v_{bbC} são diferentes em virtude da defasagem entre si (Figura 75f);
- Essas diferenças de tensão fazem surgir correntes de circulação nas chaves S_2 a S_7 .

Em vista disso, é necessário desenvolver uma derivação da topologia com sete chaves a qual elimine as correntes de circulação, mas mantenha suas funcionalidades.

Figura 74 – Inversor *buck-boost* trifásico com sete chaves.

Fonte: próprio autor.

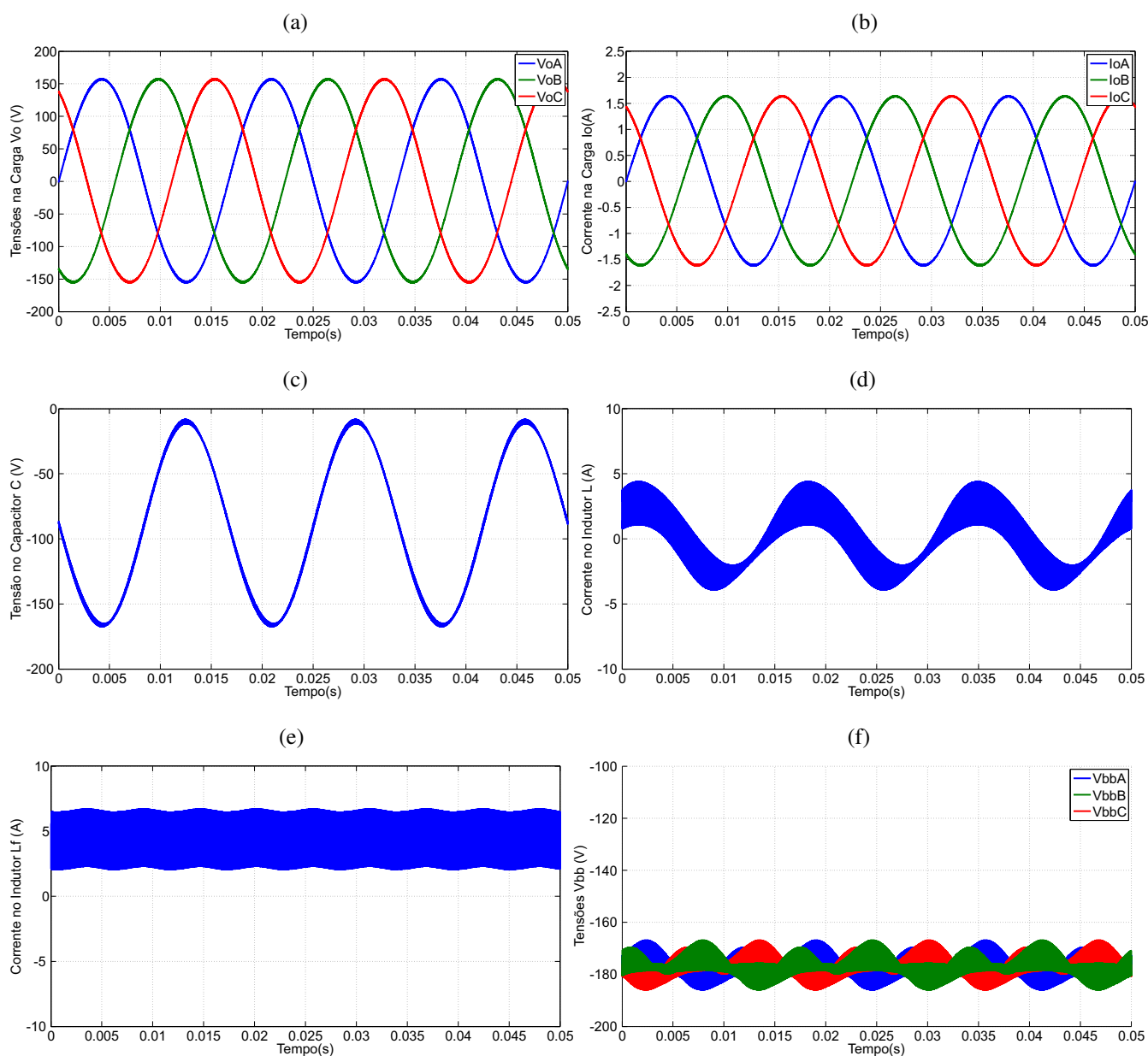
4.2.1 Inversor com sete chaves e indutores extras (L_E)

O problema mencionado anteriormente pode ser resolvido adicionando pequenos indutores extras, nomeados de L_E , entre as chaves S_1 e a malha *semi-Z* das três fases, conforme mostrado na Figura 78, visando a limitação das correntes de circulação. A posição de inserção dos novos indutores levou em consideração a necessidade de se manter a simetria do circuito, além, evidentemente, de produzir uma diminuição nas correntes das chaves S_2 a S_7 .

Com a introdução de L_E , quando a chave S_1 abre (Figura 79) ocorre:

- As correntes nas malhas *semi-Z* de cada fase definidas pelas corrente que passa por L_f ;
- A associação em série dos capacitores C_1 , C_2 e C_o e L_E ;
- O paralelismo da associação anterior em relação a cada fase;

Figura 75 – Inversor *buck-boost* com sete chaves e carga resistiva: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f ; (f) Tensão v_{bb}

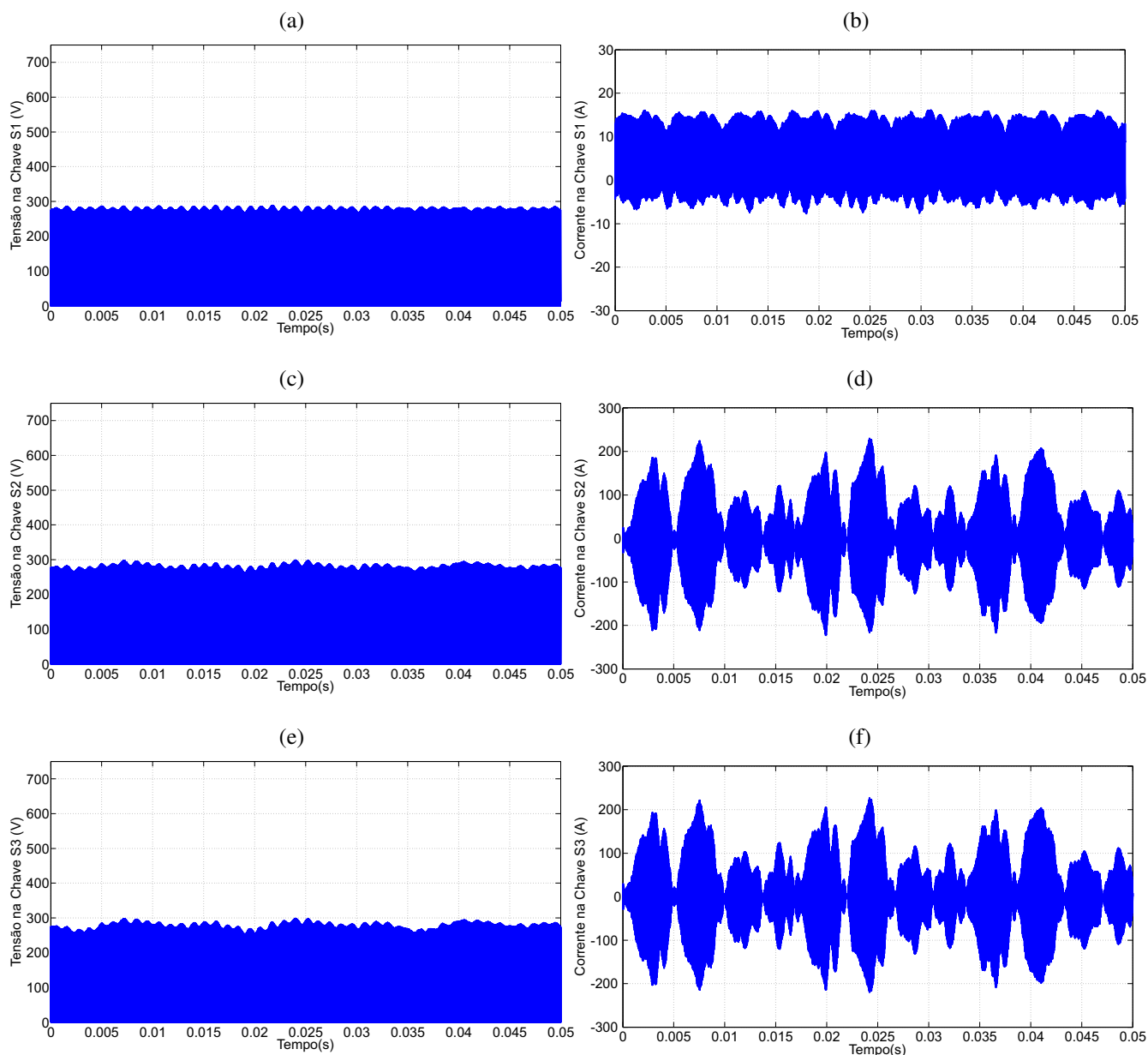


Fonte: próprio autor.

- v_{bb} torna-se a tensão no indutor L_f , mas com contribuição das três fases. Porém, v_{bbA} , v_{bbB} e v_{bbC} continuam diferentes em virtude da defasagem entre si;
- A introdução de L_E diminui os patamares das correntes de circulação nas chaves S_2 a S_7 .

Ocorre que ao introduzir os novos indutância para limitação de correntes nas chaves S_2 a S_7 , naturalmente provoca-se um aumento de tensão nas chaves, com destaque para a tensão na chave S_1 , pois a mesma terá que abrir a corrente do indutor L_E (Figura 79), o que não ocorria no circuito

Figura 76 – Inversor *buck-boost* com sete chaves e carga resistiva: tensões e correntes nas chaves da fase A.

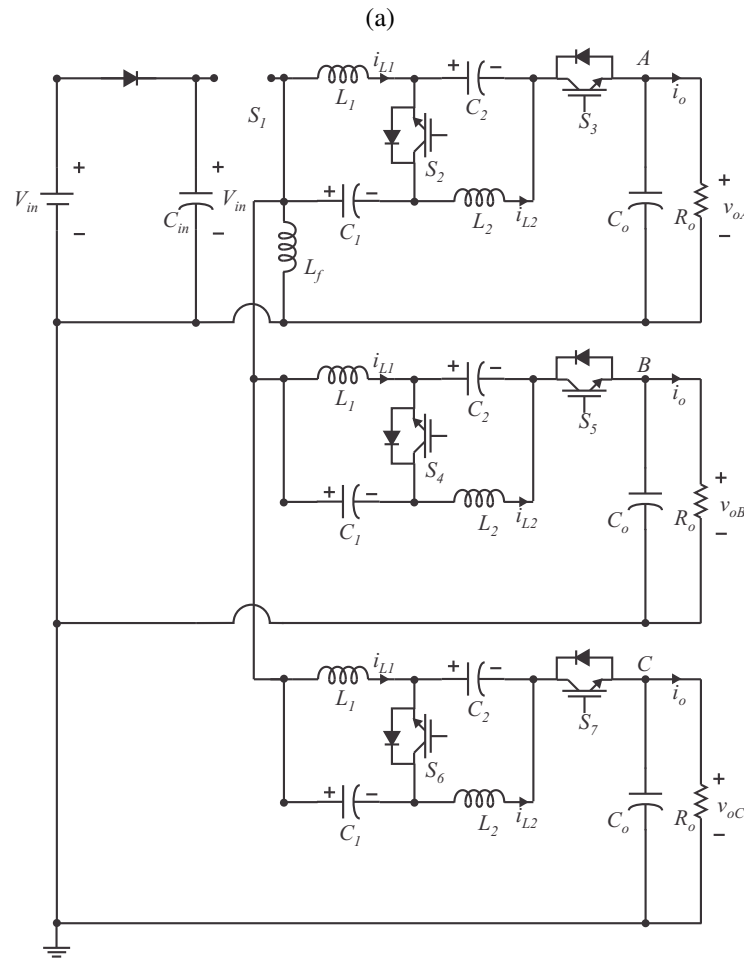


Fonte: próprio autor.

anterior (Figura 77). Portanto, para os parâmetros de simulação utilizados até então, o valor $L_E = 2 \mu H$ se mostrou mais eficaz ao ponto de conseguir diminuir as correntes e manter as tensões nas chaves em valores aceitáveis (compatíveis com valores nominais de chaves disponíveis para o experimento).

Nas figuras 80 e 81, da mesma forma como estabelecido para o inversor de nove chaves, são apresentados os resultados de simulação encontrados. Observando as figuras 81d e 81f, verifica-se que o indutor L_E cumpriu seu papel diminuindo a corrente nas chaves a patamares na ordem de $23 A_p$. E mesmo com o aumento das tensões nas chaves, conforme figuras 81a, 81c e 81e, a valores equivalentes ao dobro do inversor sem L_E , a diminuição da corrente torna-se mais

Figura 77 – Exemplo de operação para o inversor de sete chaves (Figura 74).



Fonte: próprio autor.

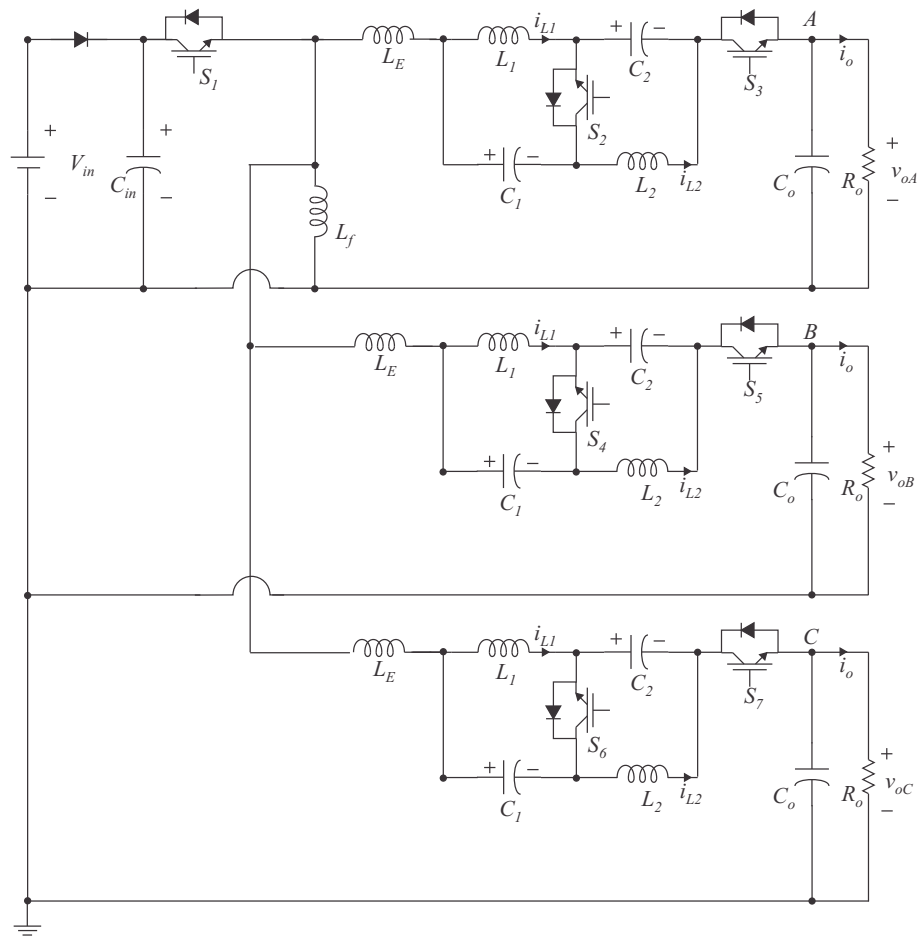
importante no aspecto de custo das chaves para implementação da topologia. Ademais, a tensão nas chaves continuaram dentro de patamares aceitáveis. Ou seja, por tudo que foi apresentado anteriormente, a topologia proposta com sete chaves se apresenta como uma inovação do trabalho.

4.2.2 Modelagem do inversor com sete chaves

Ao compararmos os circuitos das topologias com nove e sete chaves (figuras 68 e 74), percebe-se que a eliminação dos indutores L_f das fases B e C faz com que, dependendo do estado do circuito, as correntes das fases B e C tenham apenas o indutor L_f como caminho possível quando S_1 está aberta (figuras 77 e 79). Ou seja, condicionado aos circuitos possuírem os mesmos valores de componentes, pode-se considerar que:

$$i_{L_f7} = i_{L_f9A} + i_{L_f9B} + i_{L_f9C}. \quad (182)$$

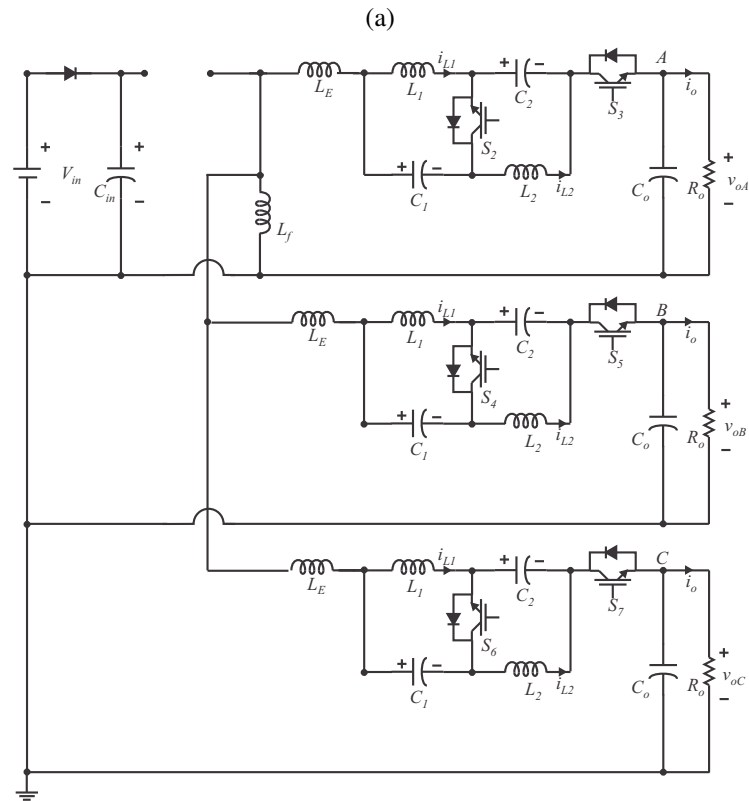
Figura 78 – Inversor *buck-boost* trifásico com sete chaves e L_E .



Fonte: próprio autor.

Essa aproximação pode ser comprovada comparando-se os valores médios (para eliminação das ondulações) de i_{L_f} do inversor de sete chaves (com e sem L_E) com o somatório de i_{L_f} das três fases da topologia com nove chaves (Figura 82). Assim, a diferença entre os circuitos da topologia, acarreta a necessidade de adequar a modelagem validada para o inversor de nove chaves (180) ao inversor de sete chaves. Considerando a aproximação mostrada anteriormente,

Figura 79 – Exemplos do de operação para o inversor de sete chaves e L_E (Figura 78).

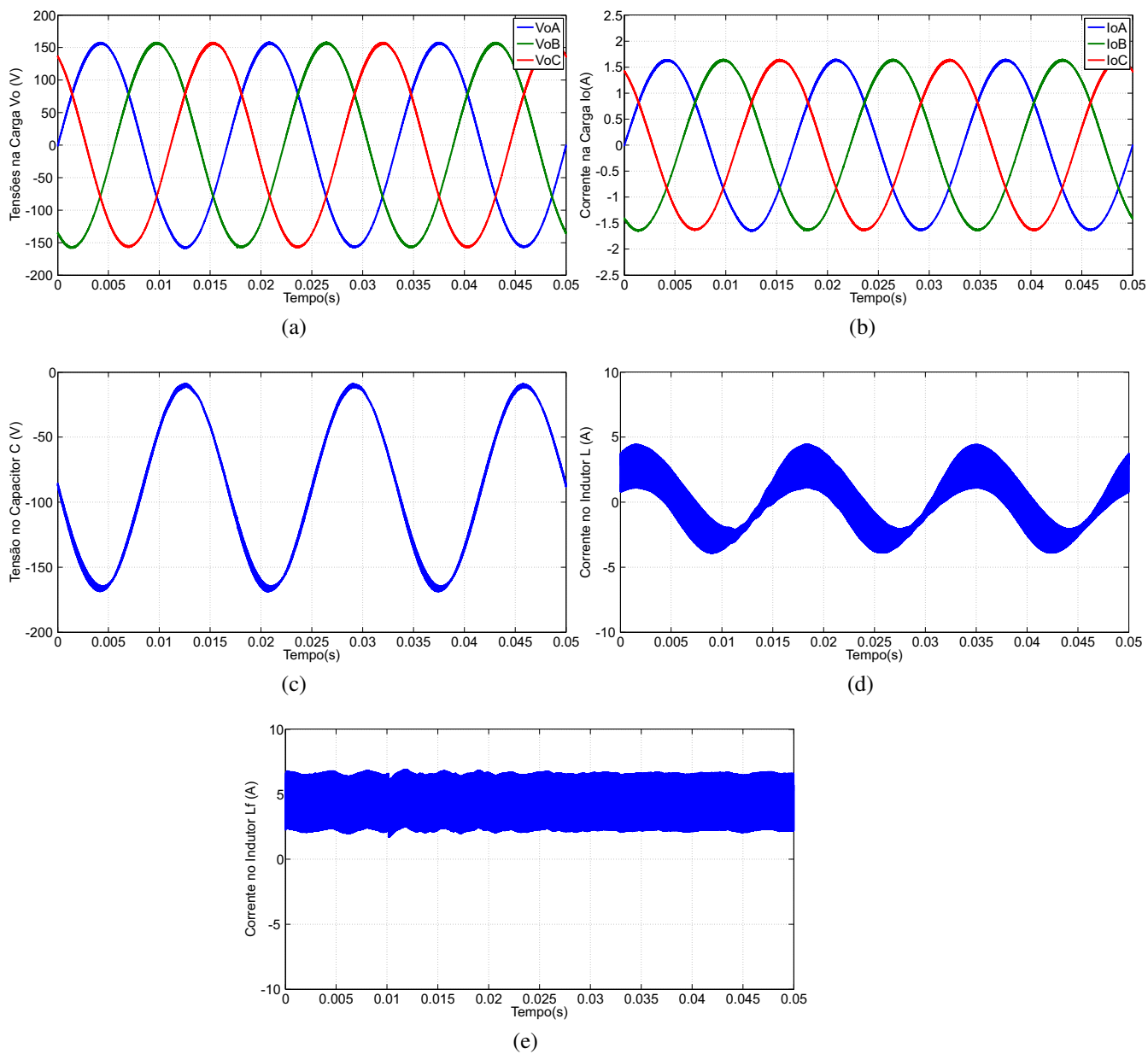


Fonte: próprio autor.

pode-se reescrever o sistema matricial da seguinte forma:

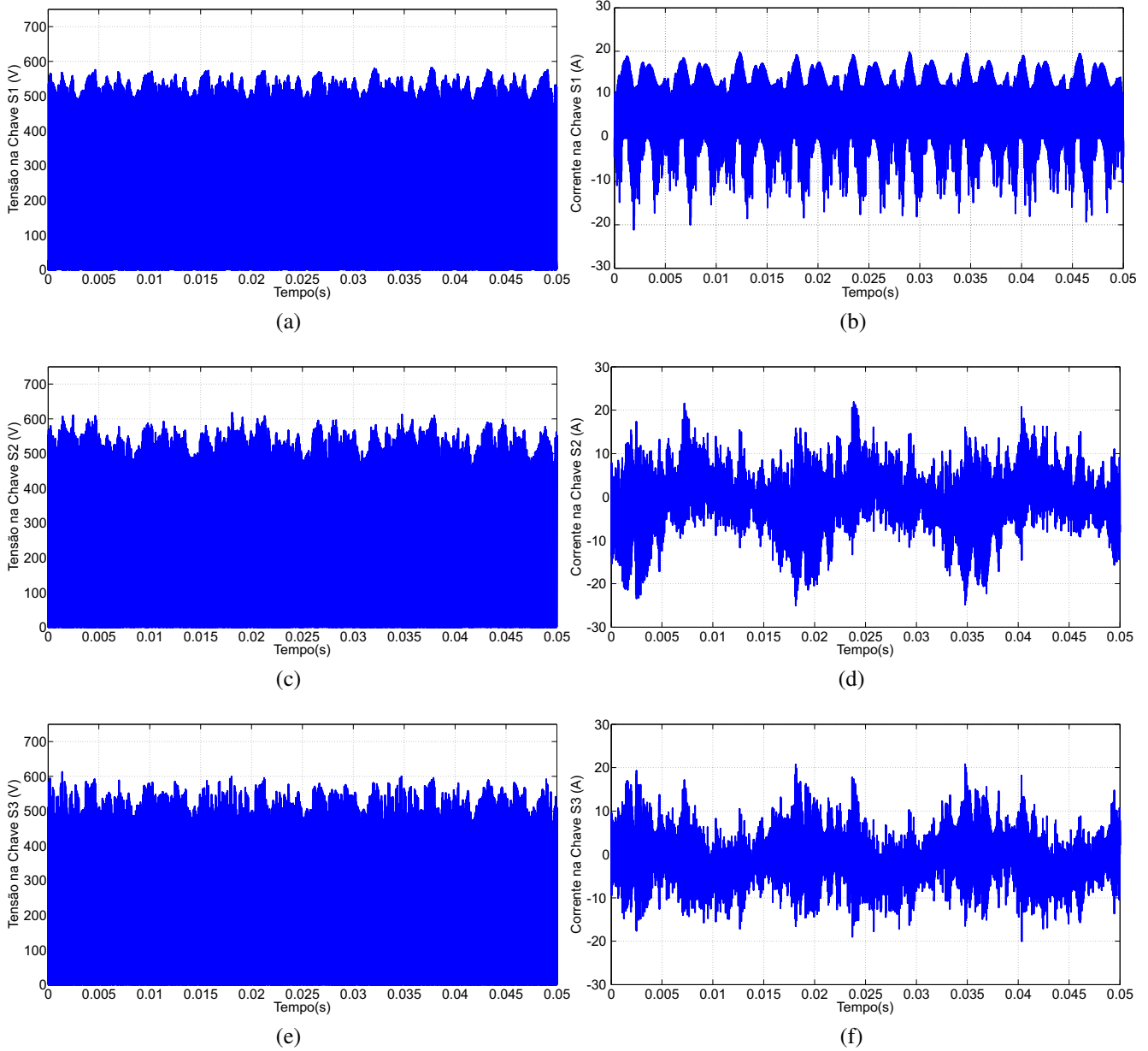
$$\frac{d}{dt} \begin{pmatrix} i_{L_f} \\ i_{LA} \\ i_{LB} \\ i_{LC} \\ v_{cA} \\ v_{cB} \\ v_{cC} \\ v_{oA} \\ v_{oB} \\ v_{oC} \end{pmatrix} = (A) \begin{pmatrix} i_{L_f} \\ i_{LA} \\ i_{LB} \\ i_{LC} \\ v_{cA} \\ v_{cB} \\ v_{cC} \\ v_{oA} \\ v_{oB} \\ v_{oC} \end{pmatrix} + \begin{pmatrix} \frac{3D_1}{L_f} \\ \frac{(1-D_2)}{L} \\ \frac{(1-D_4)}{L} \\ \frac{(1-D_6)}{L} \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix} v_{in}. \quad (183)$$

Figura 80 – Inversor *buck-boost* com sete chaves e L_E , carga resistiva: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f .



Fonte: próprio autor.

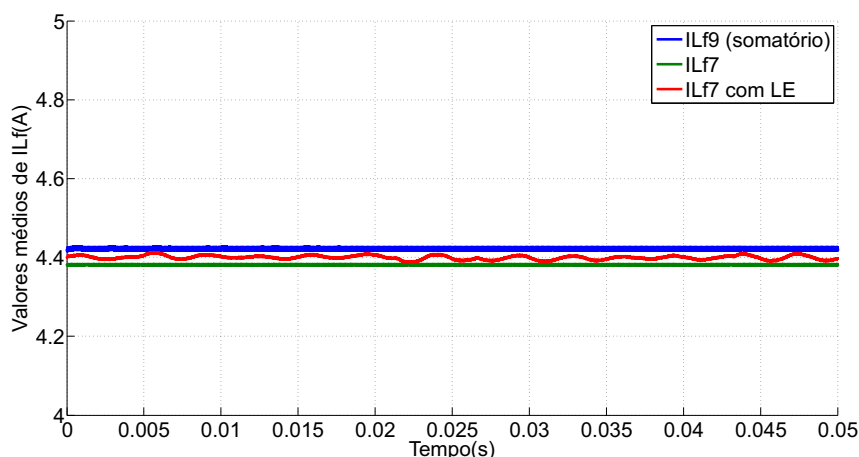
Figura 81 – Inversor *buck-boost* com sete chaves e L_E , carga resistiva: tensões e correntes nas chaves da fase A.



Fonte: próprio autor.

$$A = \begin{pmatrix} 0 & 0 & 0 & 0 & \frac{2(1-D_1)}{L_f} & \frac{2(1-D_1)}{L_f} & \frac{2(1-D_1)}{L_f} & \frac{(1-D_1)}{L_f} & \frac{(1-D_1)}{L_f} & \frac{(1-D_1)}{L_f} \\ 0 & 0 & 0 & 0 & \frac{(2D_2-1)}{L} & 0 & 0 & \frac{(D_2-1)}{L} & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & \frac{(2D_4-1)}{L} & 0 & 0 & \frac{(D_4-1)}{L} & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & \frac{(2D_6-1)}{L} & 0 & 0 & \frac{(D_6-1)}{L} \\ \frac{(D_1-1)}{C} & \frac{(1-2D_2)}{C} & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \frac{(D_1-1)}{C} & 0 & \frac{(1-2D_4)}{C} & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \frac{(D_1-1)}{C} & 0 & 0 & \frac{(1-2D_6)}{C} & 0 & 0 & 0 & 0 & 0 & 0 \\ \frac{(D_1-1)}{C_o} & \frac{2(1-D_2)}{C_o} & 0 & 0 & 0 & 0 & 0 & \frac{-1}{C_o R_o} & 0 & 0 \\ \frac{(D_1-1)}{C_o} & 0 & \frac{2(1-D_4)}{C_o} & 0 & 0 & 0 & 0 & 0 & \frac{-1}{C_o R_o} & 0 \\ \frac{(D_1-1)}{C_o} & 0 & 0 & \frac{2(1-D_6)}{C_o} & 0 & 0 & 0 & 0 & 0 & \frac{-1}{C_o R_o} \end{pmatrix}. \quad (184)$$

Figura 82 – Comparação entre os valores médios (para eliminação das ondulações) de i_{Lf} do inversor de sete chaves com o somatório de i_{Lf} das três fases da topologia com nove chaves.



Fonte: próprio autor.

Comparando as matrizes dos sistemas de nove em (181) com o de sete chaves em (184), verifica-se que a matriz contém os mesmos termos, apenas adequados a topologia com sete chaves referentes a adequação de i_{Lf} , explicada anteriormente, e a substituição dos termos dependentes de D_8 e D_9 por D_1 .

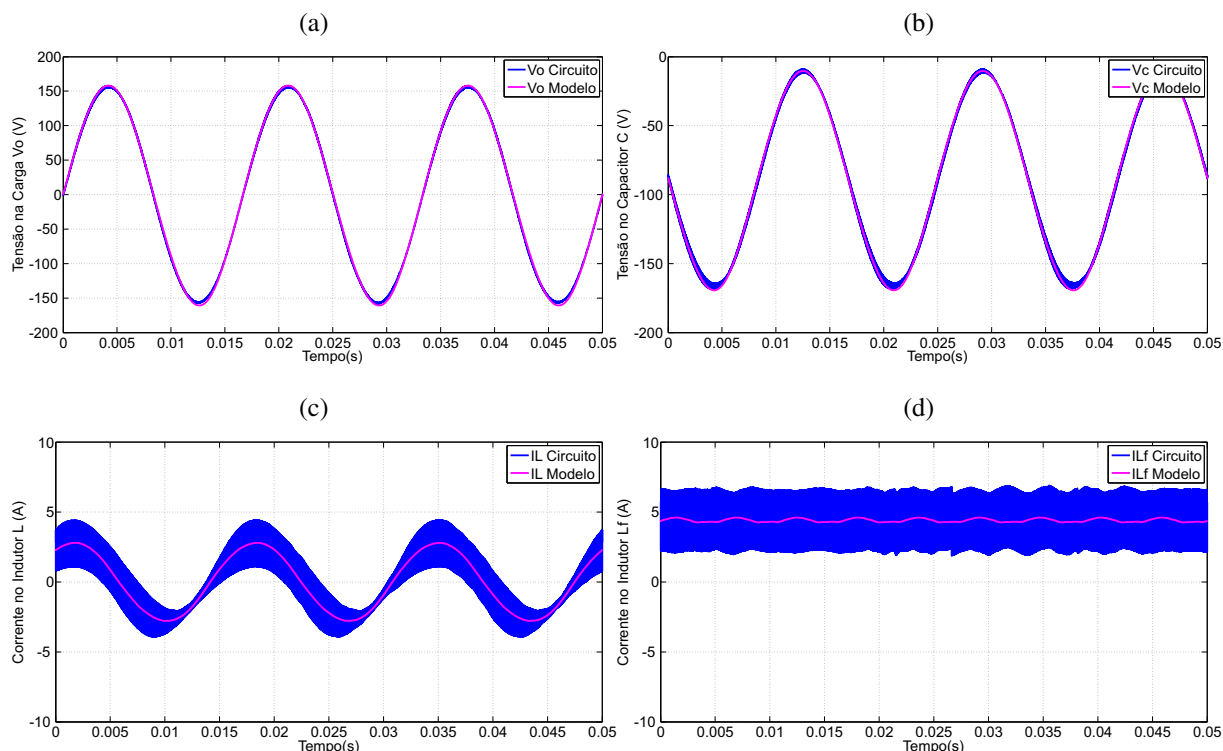
Resultados de comparação entre o circuito do inversor de sete chaves e o modelo são mostrados na Figura 83. Percebe-se que o modelo em grandes sinais obtido para o inversor de sete chaves reproduz adequadamente as grandezas do circuito. Portanto, considerando ainda sua similaridade com o modelo de nove chaves, a validação do modelo permite a aplicação do controle desenvolvido anteriormente à topologia com sete chaves.

4.2.3 Inversor com sete chaves e indutores extras com controle

Ao comparar-se os resultados obtidos com a topologia de sete chaves em malha aberta, figuras 80 e 81, com os de nove chaves, também em malha aberta, figuras 69 e 70, percebe-se que a eliminação das duas chaves e a introdução dos indutores extras não afetaram a funcionalidade do inversor. Percebe-se, ainda, que as curvas de tensão e corrente na carga, além da tensão nos capacitores e a corrente nos indutores indutores da malha *semi-z*, são bastantes parecidas, comprovando a similaridade dos dois circuitos.

Durante as simulações, verificou-se que os valores médios de v_{bb} se mantiveram no mesmo patamar nas três fases (Figura 75f), já que o inversor estava alimentando uma carga equilibrada. Assim, o valor de V_{bb}^{ref} pode ser adotado o mesmo nas três fases para a realização do controle da componente c.c.. Na Figura 84 são mostrados os diagramas para obtenção dos gatilhos nas sete chaves. O controle implementado para v_o das três fases foi o mesmo implementado para

Figura 83 – Comparação entre as tensões e correntes da fase A do inversor com sete chaves e L_E , obtidas do circuito e modelo em regime permanente



Fonte: próprio autor.

o inversor com nove chaves. Já a eliminação das duas chaves S_8 e S_9 fez com que o controle de v_{bb} só precisasse ser implementado para a chave S_1 . Portanto, na figura 85 são mostrados os resultados da simulação do inversor de sete chaves com o controle de v_o e v_{bb} . Como pode ser visto, os valores de tensão e corrente permanecem nos mesmos patamares da simulação do inversor de nove chaves com controle.

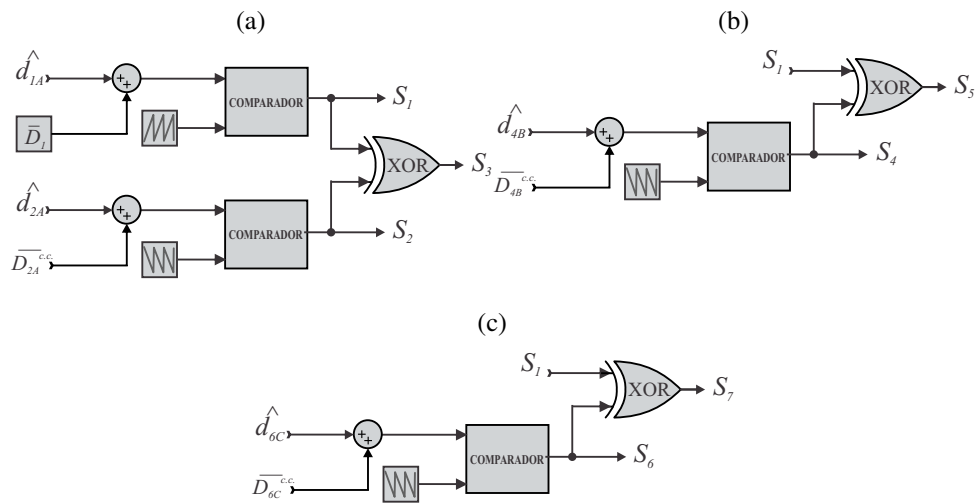
Pelo exposto, ficou evidenciado que o controle desenvolvido para a topologia de nove chaves funciona para a topologia de sete chaves.

4.3 Conexão do Inversor com Sete Chaves à rede

Diante da eficácia do controle de v_{bb} e v_o para as topologias de nove e sete chaves alimentando uma carga resistiva, a conexão com a rede tornou-se a próxima etapa do trabalho a ser executada. Sabendo que foram desenvolvidos controles baseados em tensão, devido as características das topologias, para possibilitar a utilização destes controles considerou-se conhecidas as impedâncias da rede.

Para fins de comparação com os resultados com uma carga resistiva, decidiu-se por manter o mesmo patamar de corrente injetada na rede ($i_o^{ref} = 1,2 A$ eficaz). Considerando o

Figura 84 – Diagrama de blocos para obtenção dos sinais de gatilho das chaves S_1 a S_7 , considerando a compensação da componente c.c. de v_o .



Fonte: próprio autor.

conhecimento da impedância da rede, calculou-se o valor V_o^{ref} tal que permitisse a injeção na rede da corrente supracitada:

$$V_o^{ref} = V_S + (R_o + j2\pi f_1 L_o)i_o^{ref}. \quad (185)$$

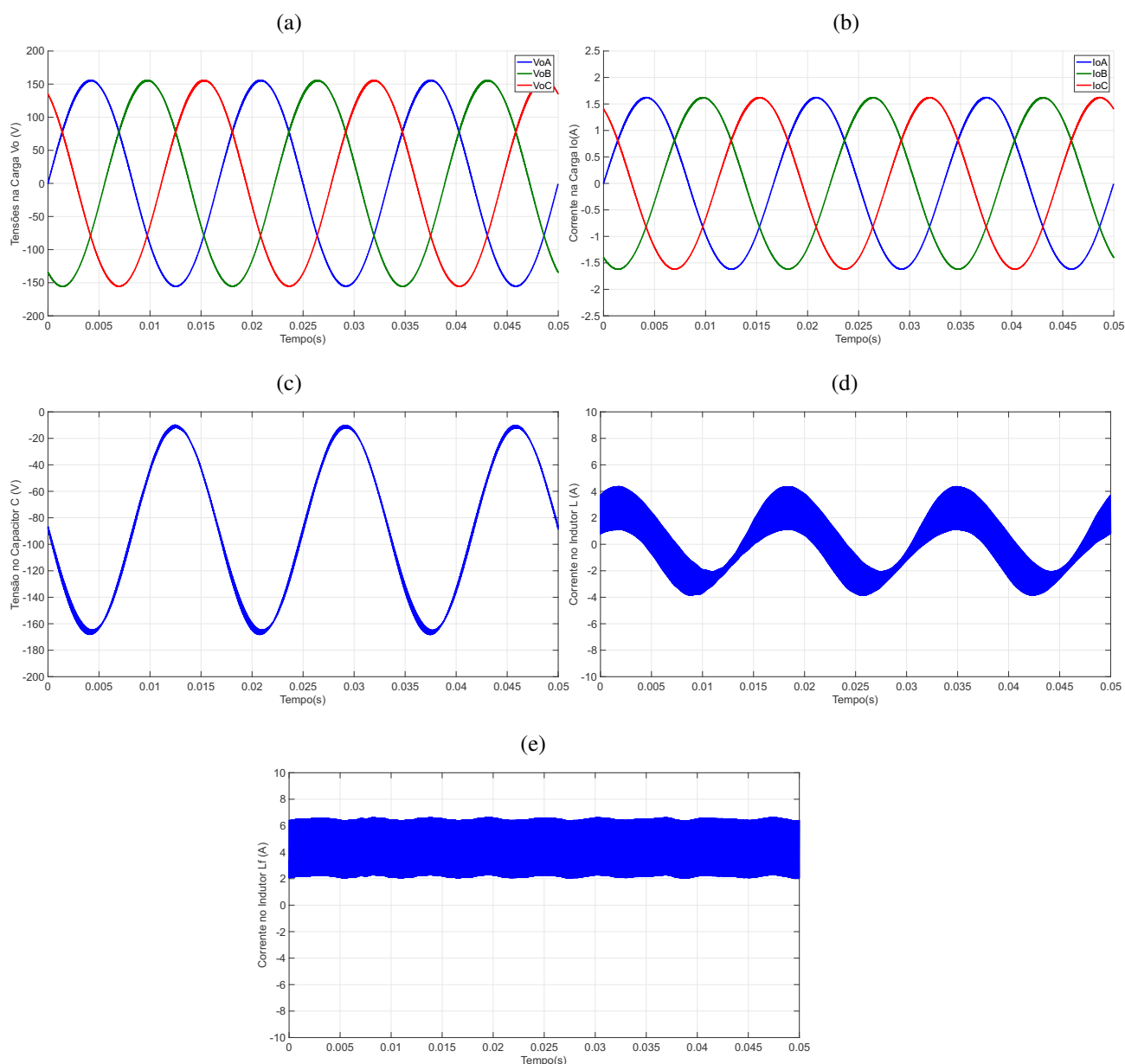
O valor da tensão de alimentação V_{in} foi estabelecido com base em V_o^{ref} e considerando o ganho de tensão $A = 1,75$. Considerando as premissas citadas, foram realizadas simulações utilizando o controle já estabelecido e adotando-se valores típicos de impedância de rede conseguidas com a concessionária local. A Figura 86 mostra o esquema de ligação utilizado na conexão à rede do inversor de sete chaves, utilizados para simulação. Os resultados de conexão com a rede para o inversor de sete chaves se mostraram satisfatórios (Figura 87).

Apesar de considerados satisfatórios, existe a necessidade do desenvolvimento de um controle específico de corrente injetada na rede torne a conexão independente da impedância da rede. Portanto, em um trabalho futuro é importante encontrar soluções de controle para possibilitar uma melhor conexão à rede.

4.4 Resultados Experimentais

Utilizando os componentes projetados no capítulo anterior, foi realizada a montagem mostrada na Figura 88. A seguir são detalhados aspectos importantes da mesma. Na impossibilidade de aquisição de chaves, aproveitou-se módulos IGBTs, com duas chaves por módulo, disponíveis no laboratório. Devido a disposição das chaves das topologias, não foi possível a utilização das duas chaves de um mesmo módulo, pois nenhuma das chaves da

Figura 85 – Inversor *buck-boost* com sete chaves e L_E , com controle: (a,b) tensões e correntes na carga; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f .

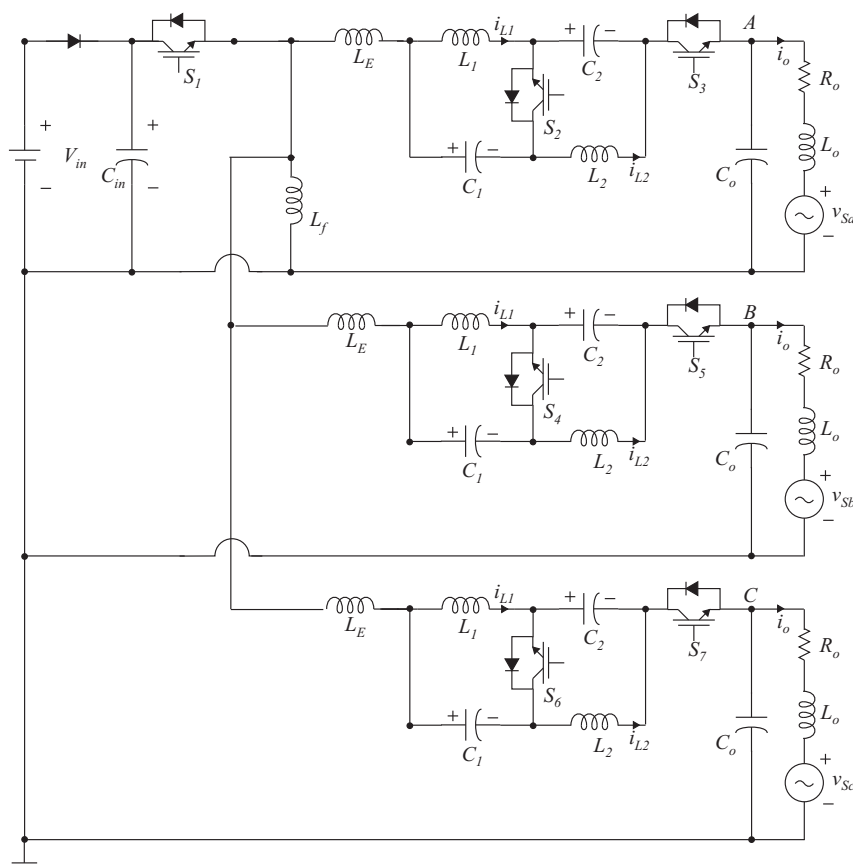


Fonte: próprio autor.

topologia compartilha algum de seus terminais. Assim, foram empregados nove módulos, mas apenas uma chave por módulo foi realmente utilizada, conforme pode ser visto na Figura 89 .

Foi necessário arranjar os *gate drives* de forma a permitir a realização do *reset* das chaves, quando necessário, através do dSPACE. Para reiniciar as chaves é necessário enviar sinal zero às duas entradas do *gate drive* ao mesmo tempo. Ocorre que, quando se volta ao Capítulo 2, é possível ver que as razões de trabalho das chaves S_3 , S_5 e S_7 são função ou-exclusivo das outras duas chaves da mesma fase, equação (29). Na montagem, essa função foi desenvolvida

Figura 86 – Inversor *buck-boost* trifásico com sete chaves e L_E , conectado à rede.



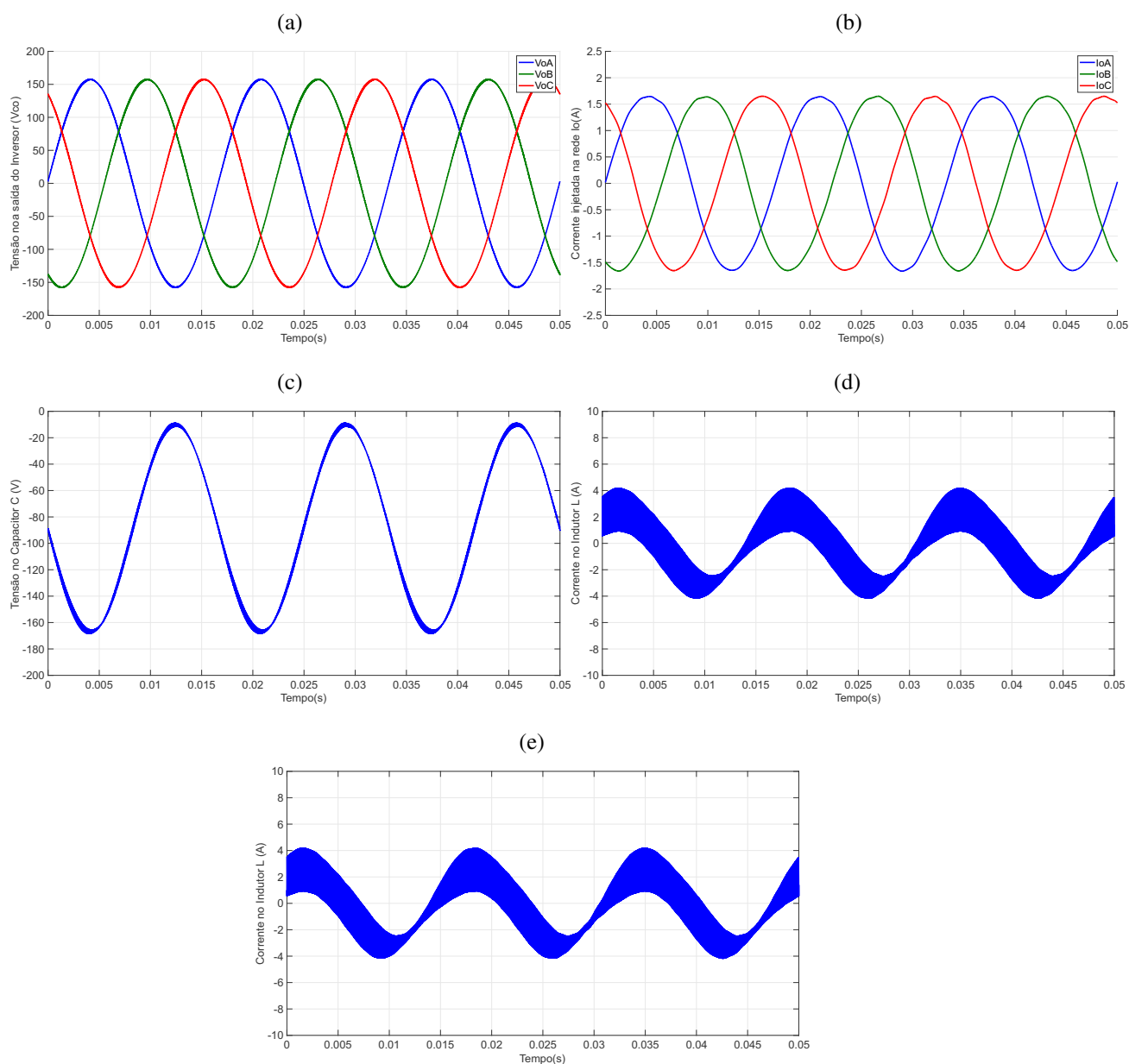
Fonte: próprio autor.

para ocorrer na própria placa de PWM. Assim, além das limitações de tensões e correntes, o arranjo das chaves e dos *gate – drives* teve que levar em consideração a necessidade de *reset* por medida de segurança.

Os doze indutores mostrados na Figura 90, sendo três deles os L_E , foram projetados e confeccionados no laboratório utilizando cabos de cobre esmaltados de 14AWG e eletrodutos de PVC 2.1/2". Decidiu-se pela utilização de indutores com núcleo de ar, a fim de evitar problemas com sua saturação. Todos os indutores tiveram levantadas suas curvas de tensão versus corrente, além da obtenção dos valores nominais de indutância e resistência. A maior discrepância medida entre os valores nominais de indutância foi de 2%. Foram utilizados capacitores, conforme valores estabelecidos no Capítulo 3. Os mesmos foram instalados na parte anterior do painel de forma que ficassem mais próximos das chaves, conforme pode ser visto na Figura 91, minimizando o efeito de indutâncias parasitas.

Todas as conexões entre os componentes, tais como chaves, indutores e capacitores, foram pensadas e executadas para que a migração de uma topologia com nove para sete chaves, ou vice e versa, fosse feita com o mínimo de intervenção.

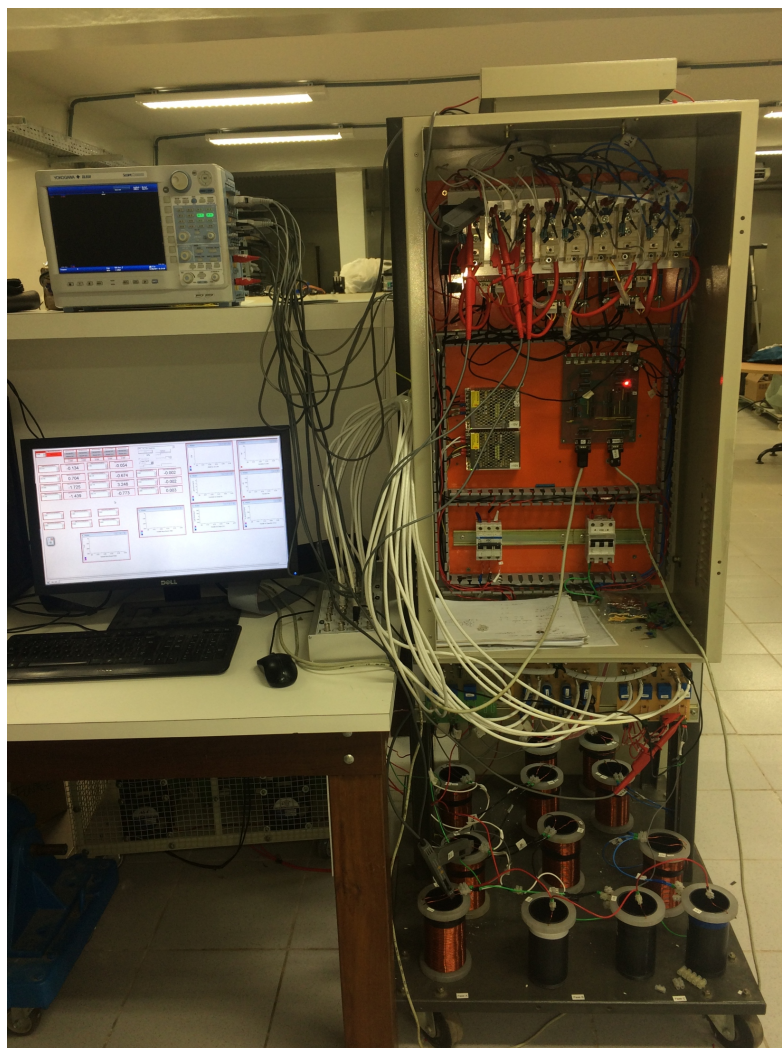
Figura 87 – Conexão a rede do inversor *buck-boost* com sete chaves, incluindo L_E e controle de corrente: (a) tensões da rede; (b) correntes injetadas na rede; (c) tensão no capacitor C ; (d,e) correntes nos indutores L e L_f .



Fonte: próprio autor.

As placas de medição de corrente e tensão que são mostradas na Figura 90 foram desenvolvidas, montadas, testadas e calibradas no próprio laboratório. Delas saem os cabos com sinais 0-10 V até o painel do dSPACE, possibilitando assim a implementação e controle do experimento em malha fechada. A placa principal de PWM e as placas auxiliares dos *gate drives*, também foram desenvolvidas no laboratório. A placa principal de PWM pode ser vista na Figura 89.

Figura 88 – Aspecto geral do experimento. Da esquerda para direita: osciloscópio e tela do computador com interface desenvolvida no dSPACE, painel de aquisição de sinais do dSPACE e quadro vertical com montagem reversível de nove para sete chaves.



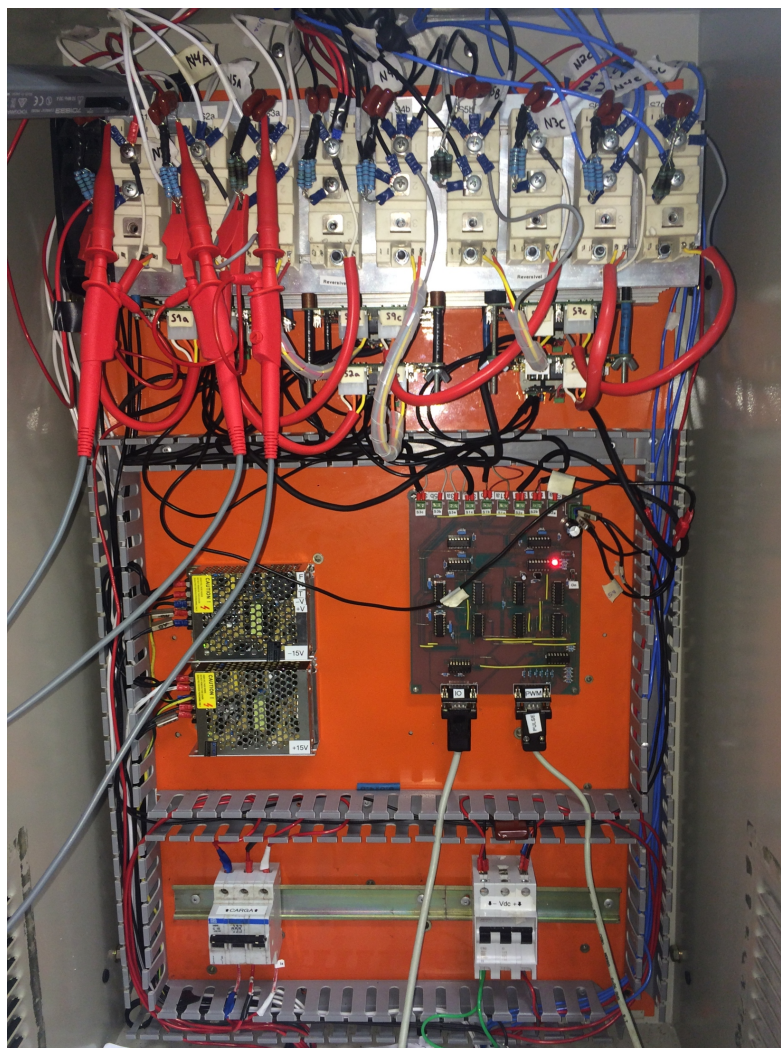
Fonte: próprio autor.

Apesar do controle e topologia terem sido desenvolvidos no Capítulo 3 tanto para $v_o=110 V_{rms}$ quanto $v_o=220 V_{rms}$, durante os experimentos a fonte c.c. utilizada chegou ao seu limite de corrente quando tentou-se aplicar $220 V_{rms}$ na carga. Nesse momento, decidiu-se realizar o experimento apenas no nível de tensão de $110 V_{rms}$.

4.4.1 Resultado experimental em malha aberta

Nas figuras 92 a 94 são mostrados os resultados obtidos no inversor com nove chaves operando em malha aberta. Na Figura 92 são mostradas as tensões na carga nas três fases, juntamente com os valores eficazes obtidos nas mesmas, e a tensão da fonte c.c. para a topologia com nove chaves. Observa-se que as mesmas estão próximas aos valores simulados anteriormente.

Figura 89 – Detalhe superior do quadro vertical apresentado na Figura 88. De cima para baixo: chaves, *gate drives* (na horizontal abaixo do dissipador, placa geradora do sinal de PWM, fontes auxiliares e disjuntores para seccionamento da alimentação e carga.



Fonte: próprio autor.

Na Figura 93 são observadas as correntes nos indutores, sendo as mesmas praticamente idênticas aos valores obtidos nas simulações computacionais. Já na Figura 94 são apresentadas as tensões na fase *A* e no capacitor da malha *semi-Z*, com o objetivo de observar a defasagem entre eles, citada no Capítulo 3, e fundamental para o controle de V_{bb} . As figura 95 a 97 mostram os resultados obtidos no inversor com sete chaves em malha aberta. Na Figura 95 são mostradas as tensões na carga nas três fases, juntamente com os valores eficazes obtidos nas mesmas, e a tensão da fonte c.c. para a topologia com sete chaves. Observa-se que as mesmas estão próximas aos valores simulados anteriormente.

No caso da tensão na carga, foi medido, também, seu valor c.c. resultando em 8 V, muito próximo ao valor obtido nas simulações. Assim, acredita-se que com a implementação

Figura 90 – Detalhe Inferior do quadro vertical apresentado na Figura 88. Na parte superior da esquerda para direita são mostradas as placas de aquisição dos sinais de: tensões na carga v_o ; Correntes na carga i_o e da fonte de corrente c.c.; Tensões nos capacitores da malha *semi-Z* v_c . Na parte de baixo são vistos os indutores utilizados para as duas topologias



Fonte: próprio autor.

do controle no experimento, essa componente c.c. reduza para algo em torno de 1 V, conforme simulado anteriormente. Na Figura 96 são observadas as correntes nos indutores, sendo as mesmas praticamente idênticas às obtidas nas simulações computacionais. Já na Figura 97 são apresentadas as tensões na fase A e no capacitor da malha *semi-Z*, a fim de observar as defasagens entre elas citadas no Capítulo 3. Como era de se esperar, a relação entre a tensão v_{oA} e v_c é a mesma para o inversor de nove ou sete chaves, sinalizando que o controle proposto poderá ser implementado experimentalmente sem problemas.

Figura 91 – Capacitores montados na parte de trás do Painel da Figura 89



Fonte: próprio autor.

4.4.2 Resultado experimental em malha fechada

Resultados experimentais com os controles desenvolvidos anteriormente foram obtidos para os inversores de sete e nove chaves.

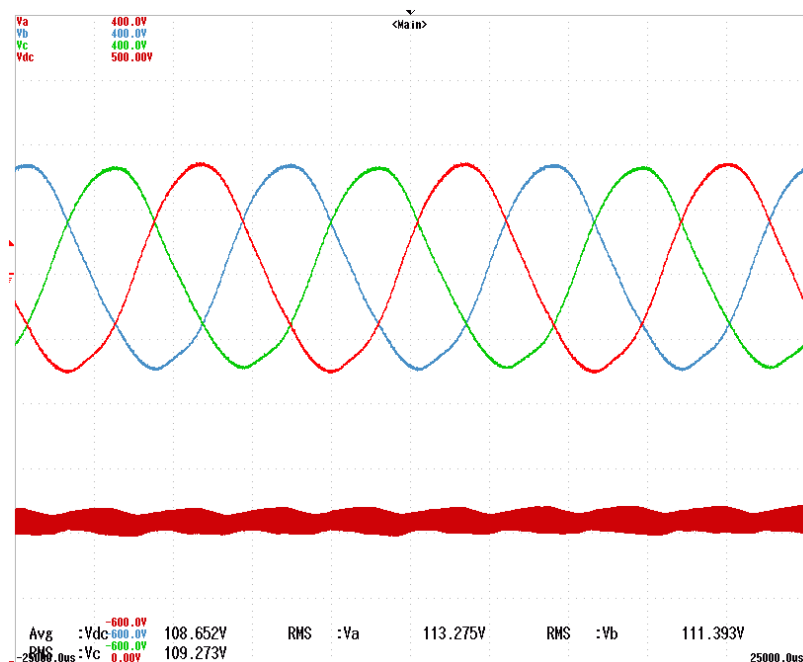
Procurou-se demonstrar a atuação do controle frente às grandezas medidas (v_c na fase A e v_o nas três fases) com a introdução de degraus nas grandezas controladas (V_{bb}^{ref} e v_o^{ref}). As figuras 98a a 99b apresentam os resultados obtidos para o inversor com nove chaves, realizando degraus de $\pm 5\%$ nas grandezas controladas (devido a limitações da bancada não foi possível obter resultados com degraus maiores para essa topologia).

A Figura 98a mostra o resultado de um degrau de $+5\%$ em V_o^{ref} , onde é possível perceber a modificação de patamar nas tensões na carga e, em paralelo, observa-se que há um aumento na amplitude da tensão v_c . Isso ocorre, pois, como mostrado no desenvolvimento das equações, $v_{bb} = 2v_c + v_o = -kV_{in}$. Portanto, para manter o valor V_{bb}^{ref} constante é necessário que v_c compense o aumento de v_o estabelecida por V_o^{ref} .

Já na Figura 98b é mostrado um degrau de -5% em V_o^{ref} . De maneira similar ao degrau anterior, a amplitude de v_c modifica de forma a compensar o novo valor de v_o .

Na Figura 99a é apresentado o resultado quando aplica-se um degrau $+5\%$ de V_{bb}^{ref} .

Figura 92 – Inversor *buck-boost* com nove chaves com carga resistiva e sem controle - Tensões na Carga ($v_{oa}=113 V_{rms}$, $v_{oc}=111 V_{rms}$ e $v_{oa}=109 V_{rms}$) e tensão da fonte c.c. ($V_{dc}=108 V$). Escala de $100V/div$ na tensão de carga e $50V/div$ na tensão da fonte



Fonte: próprio autor.

Considerando que v_o manteve-se constante, pois não houve alteração em V_o^{ref} , para que v_{bb} alcance o novo patamar é necessário que v_c modifique. Nesse caso, percebe-se que o valor médio de v_c passou a ter um patamar mais negativo.

De forma similar, ao aplicar-se um degrau -5% de V_{bb}^{ref} o valor médio de v_c passa a ter um patamar menos negativo para que v_{bb} alcance o novo valor estabelecido (Figura 99b)

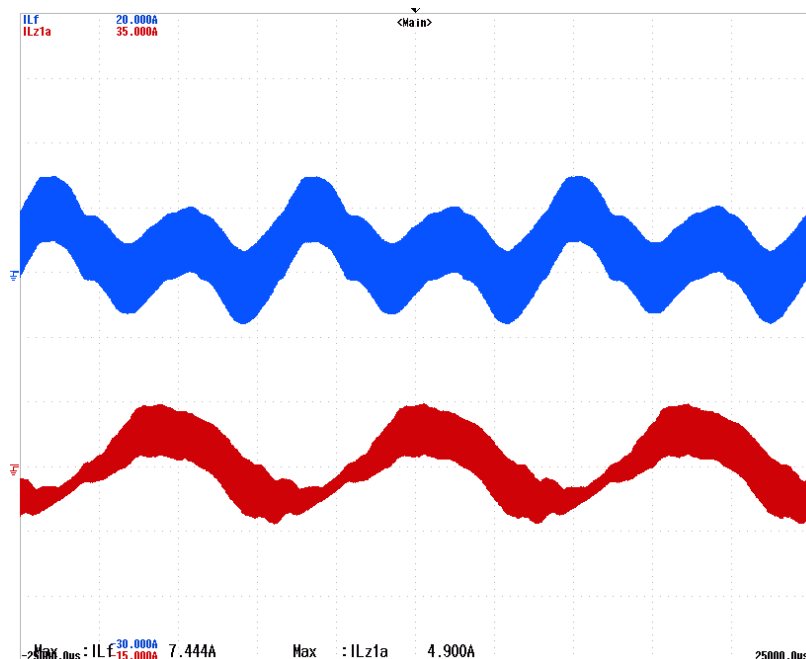
As figuras 100 a 103 apresentam os resultados obtidos para o inversor com sete chaves, realizando degraus de $\pm 15\%$ nas grandezas controladas. Para que fosse possível uma melhor visualização, as figuras apresentam os mesmos patamares de degraus dados em escalas de tempo de 50 ms/div e 20 ms/div .

Nas figuras 100 e 101 são apresentados resultados de degraus de $+15\%$ e -15% em V_{bb}^{ref} . Da mesma maneira que ocorrido no inversor de nove chaves, a tensão V_c modifica seu valor médio, objetivando alcançar o novo valor de V_{bb} .

Nas figuras 102 e 103 foram obtidos os resultados de degraus de $+15\%$ e -15% em v_o^{ref} . Também similarmente ao inversor de nove chaves, ao modificar a amplitude de V_o a amplitude de V_c aumenta e diminui, respectivamente, para manter o valor de V_{bb} considerando o novo valor de V_o .

Por último, foram simulados degraus de $\pm 10\%$ em V_{in} mantendo-se constantes os

Figura 93 – Inversor *buck-boost* com nove chaves com carga resistiva e sem controle - Correntes nos indutores, valores máximos, ($i_L=4,9 A$ e $i_{L_f}=7,44 A$). Escala de $5A/div$.



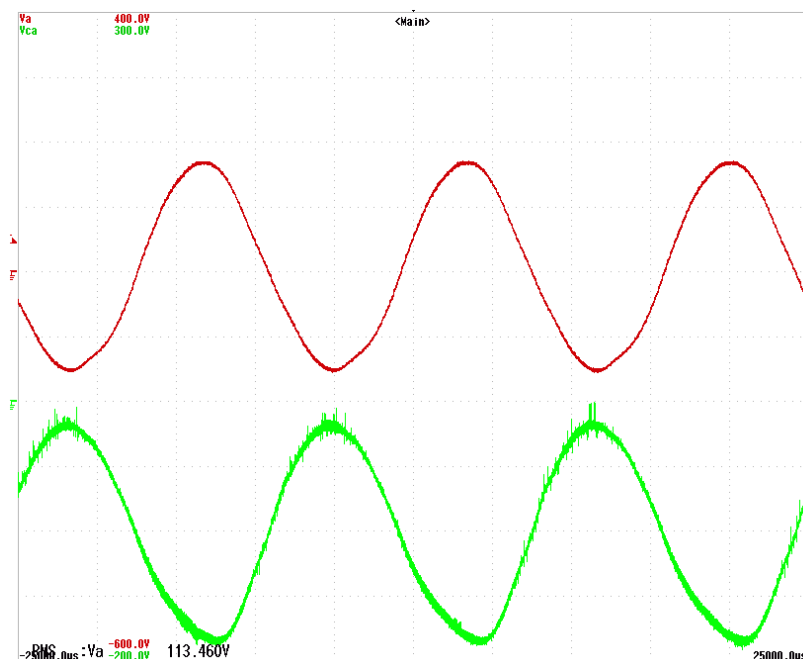
Fonte: próprio autor.

valores de V_o^{ref} e V_{bb}^{ref} (figuras 104 e 105). Para que fosse possível uma melhor visualização, as figuras apresentam os mesmos patamares de degraus dados em escalas de tempo de 20 ms/div e 10 ms/div. Percebe-se que as tensões na carga (V_o) não sofrem distorções aparentes, mas a tensão V_c sofre uma perturbação no momento do degrau, retornando ao patamar anterior ao degrau após alguns ciclos. Isso ocorre, pois como os valores de V_o^{ref} e V_{bb}^{ref} são mantidos constantes, para se manter o valor de V_{bb} (lembrando da relação $V_{bb} = -kV_{in}$), é necessário modificar o valor do ganho k , para compensar a variação de V_{in} . Portanto, a tensão V_c sofre uma perturbação até que o controle consiga realizar o aumento de k .

4.5 Conclusão

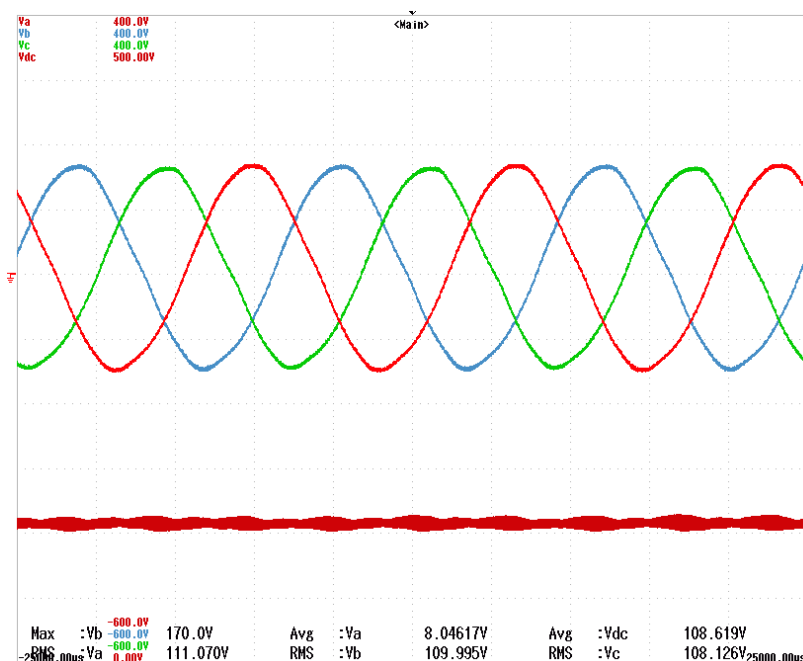
Os modelos matemáticos desenvolvidos para os inversores de nove e sete chaves se mostraram satisfatórios, reproduzindo os resultados de simulação com o circuito. Os controles obtidos para a topologia monofásica se demonstraram ser adequados às topologias de sete e nove chaves, possibilitando a obtenção de resultados experimentais, que validam as simulações obtidas.

Figura 94 – Inversor *buck-boost* com nove chaves com carga resistiva e sem controle - Tensão na carga e no capacitor da malha (v_{oa} e V_{ca}). Escala de $100V/div$.



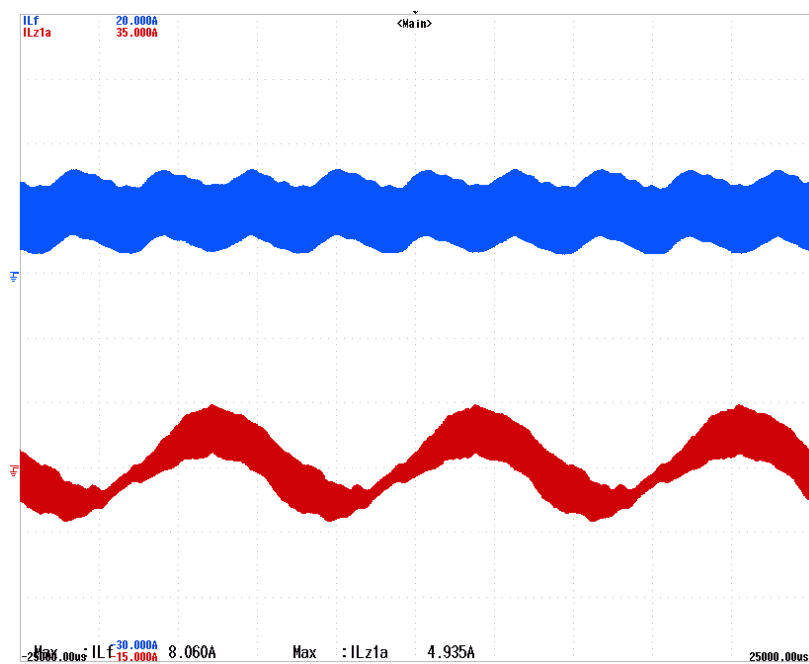
Fonte: próprio autor.

Figura 95 – Inversor *buck-boost* com sete chaves com carga resistiva e sem controle - Tensões na Carga ($v_{oa}=111 V_{rms}$, $v_{oc}=110 V_{rms}$ e $v_{oa}=108 V_{rms}$) e tensão da fonte c.c. ($V_{dc}=108 V$). Escala de $100V/div$ na tensão de carga e $50V/div$ na tensão da fonte.



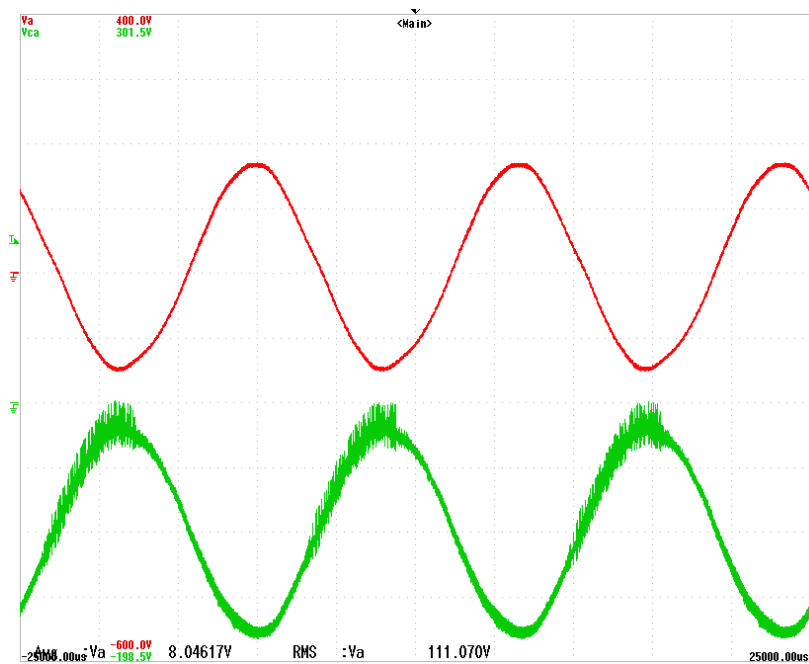
Fonte: próprio autor.

Figura 96 – Inversor *buck-boost* com sete chaves com carga resistiva e sem controle - Correntes nos indutores, valores máximos, ($i_L=4,9\text{ A}$ e $i_{Lf}=8.06\text{ A}$). Escala de 5A/div .



Fonte: próprio autor.

Figura 97 – Inversor *buck-boost* com sete chaves com carga resistiva e sem controle - Tensão na carga e no capacitor da malha (V_{oa} e V_{ca}). Escala de 100V/div .



Fonte: próprio autor.

Figura 98 – Inversor *buck-boost* nove chaves com controle. (a) Degrau de +5% em V_o^{ref} (de 147,6 V para 155,4 V) (b) Degrau de -5% em V_o^{ref} (de 155,4 V para 147,6 V): (Verde) V_{cA} (50 V/div);(Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} (200 V/div). 50 ms/div

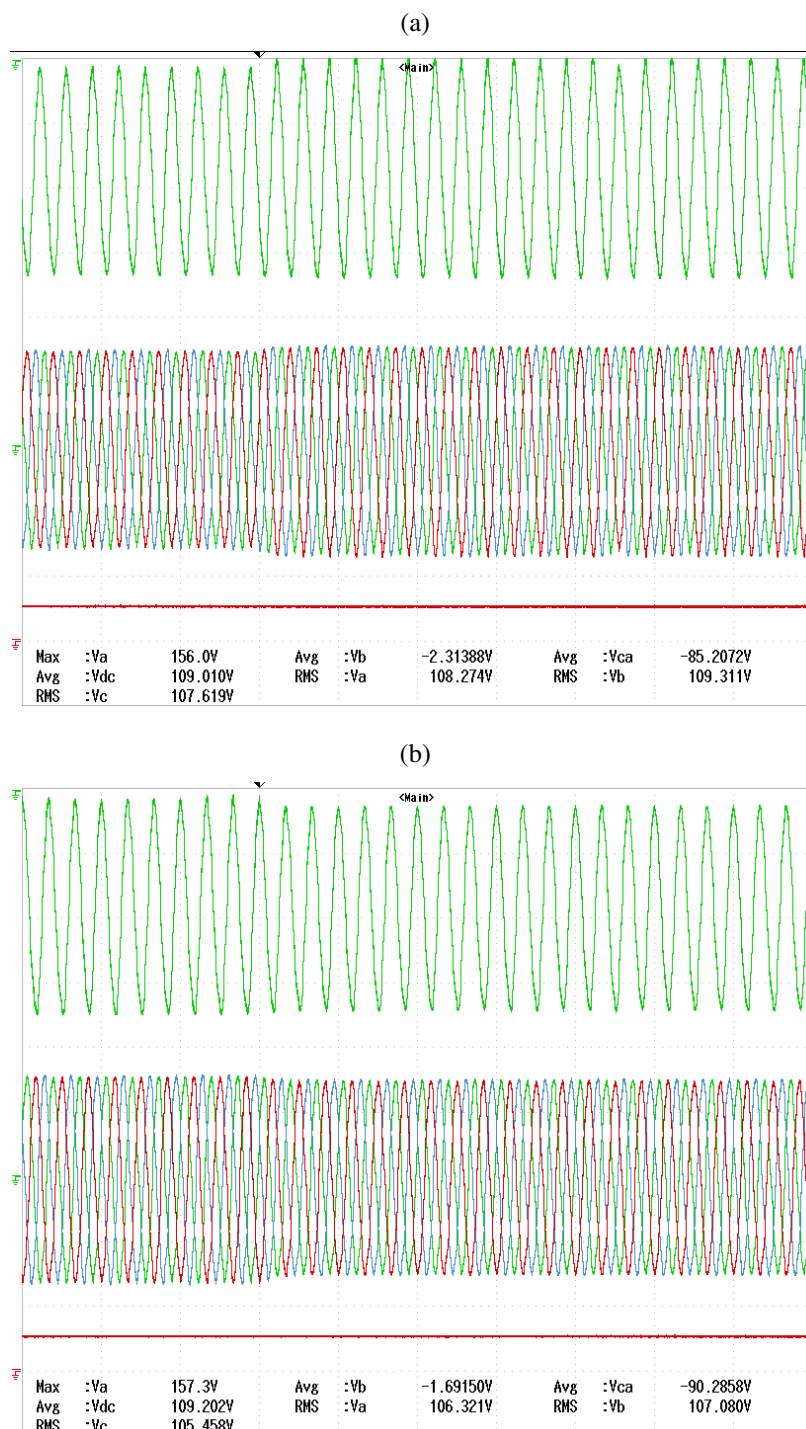


Figura 99 – Inversor *buck-boost* nove chaves com controle. (a) Degrau de +5% em V_{bb}^{ref} (de -168,1 V para -177 V) (b) Degrau de -5% em V_{bb}^{ref} (de -177 V para -168,1 V): (Verde) V_{cA} (50 V/div);(Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} (200 V/div). 50 ms/div

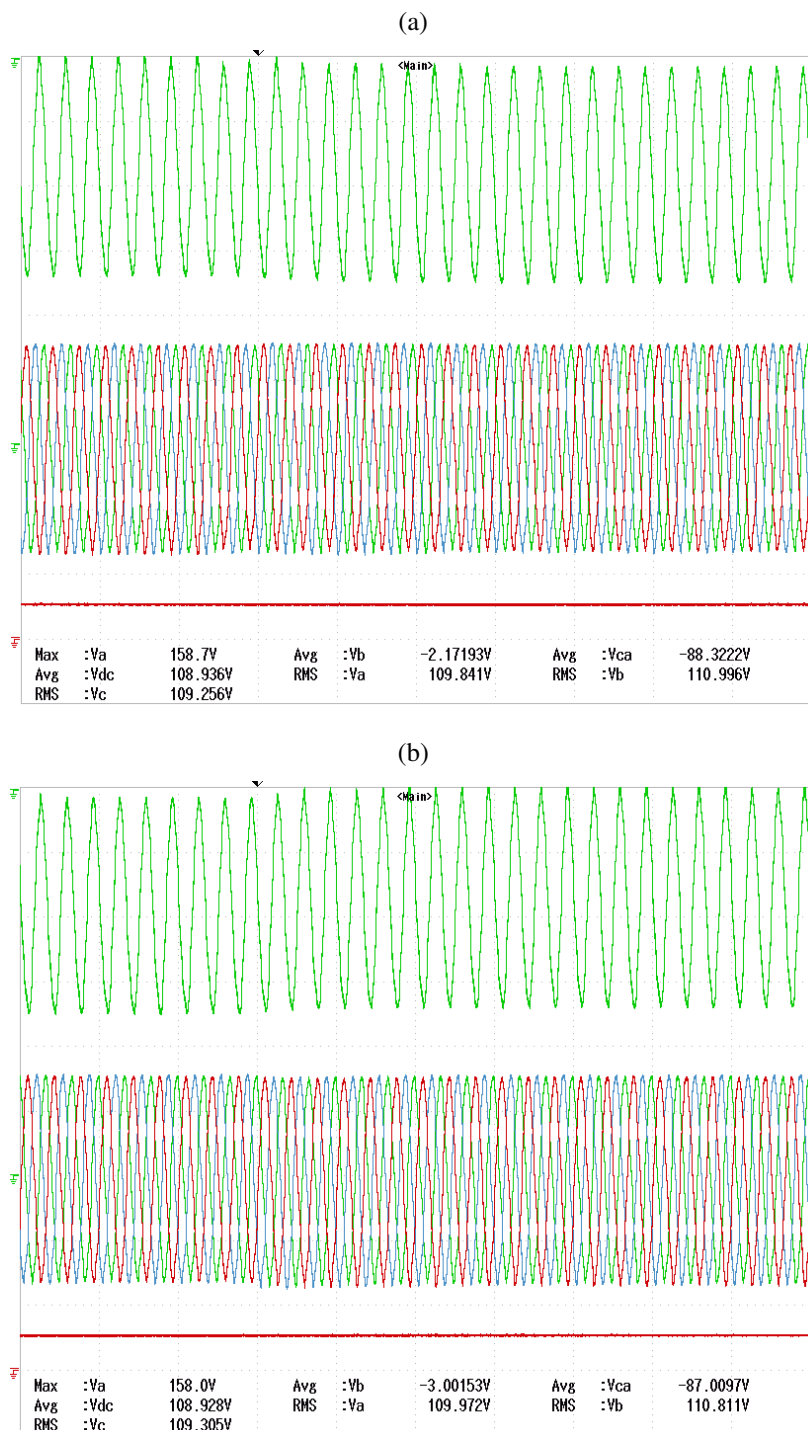


Figura 100 – Inversor *buck-boost* sete chaves com controle. Degrau de +15% em V_{bb}^{ref} (de 150,45 V para 177 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} (200 V/div). (a) 50 ms/div (b) 20 ms/div

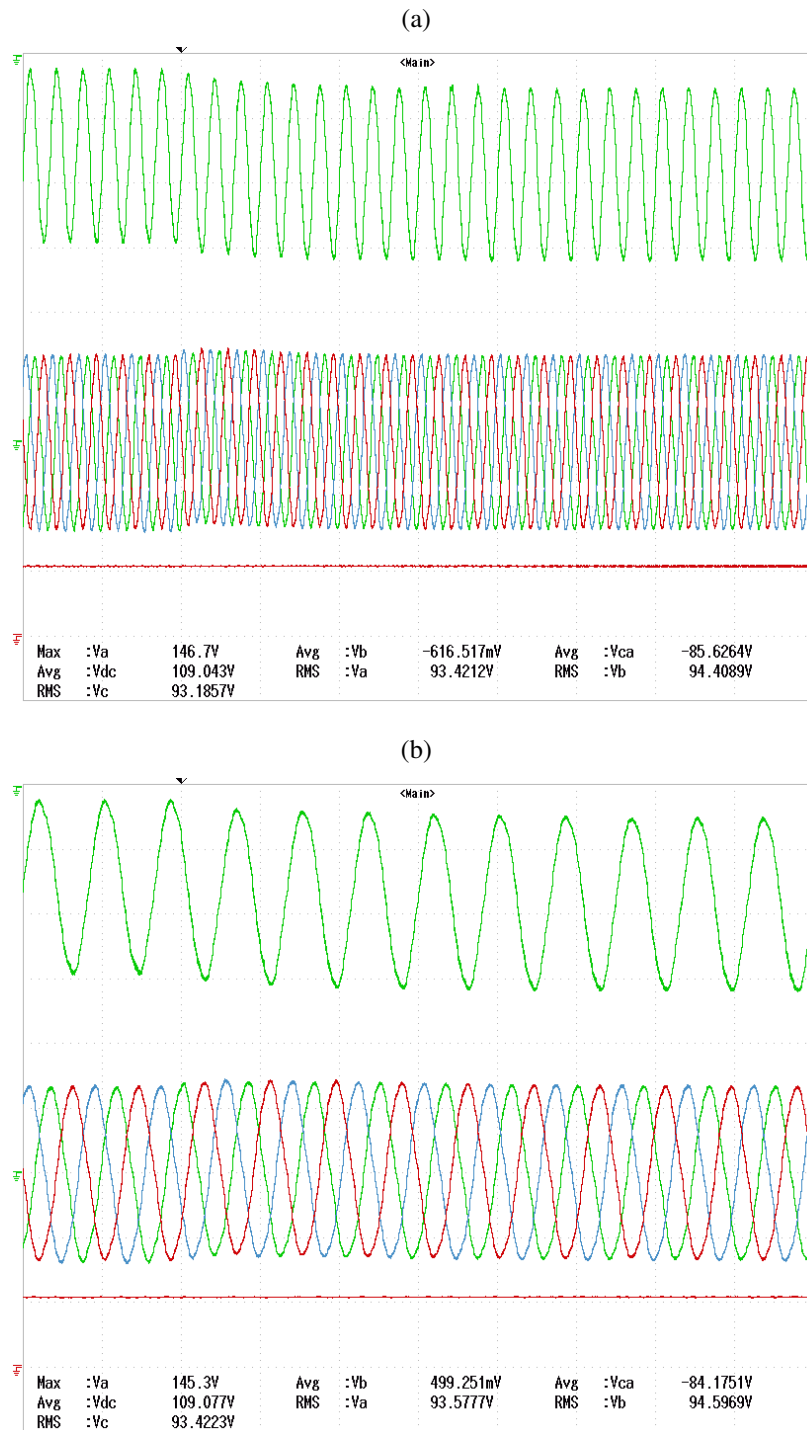


Figura 101 – Inversor *buck-boost* sete chaves com controle. Degrau de -15% em V_{bb}^{ref} (de 177 V para 150,45 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} (200 V/div). (a) 50 ms/div (b) 20 ms/div

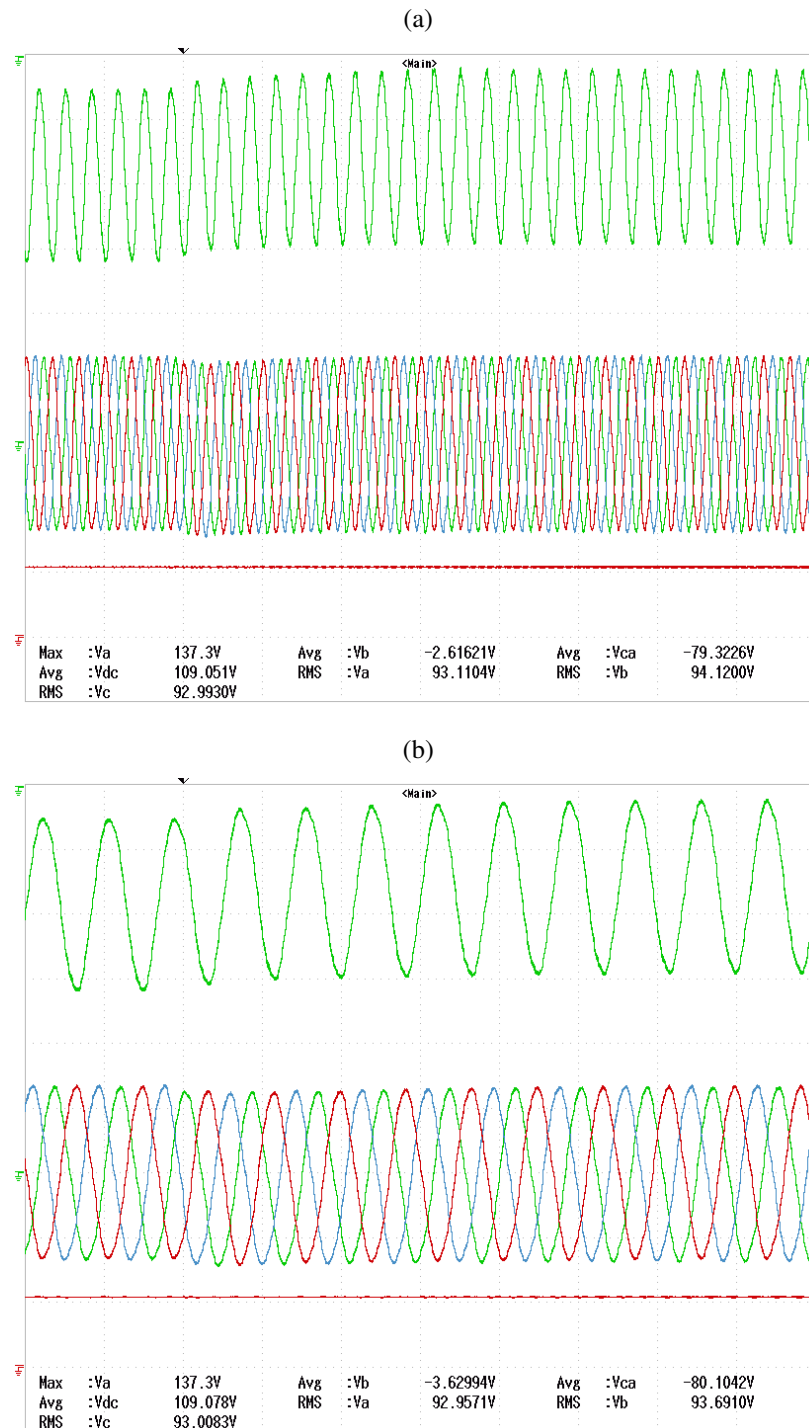


Figura 102 – Inversor *buck-boost* sete chaves com controle. Degrau de +15% em V_o^{ref} (de 132 V para 155,4 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} (200 V/div). (a) 50 ms/div (b) 20 ms/div

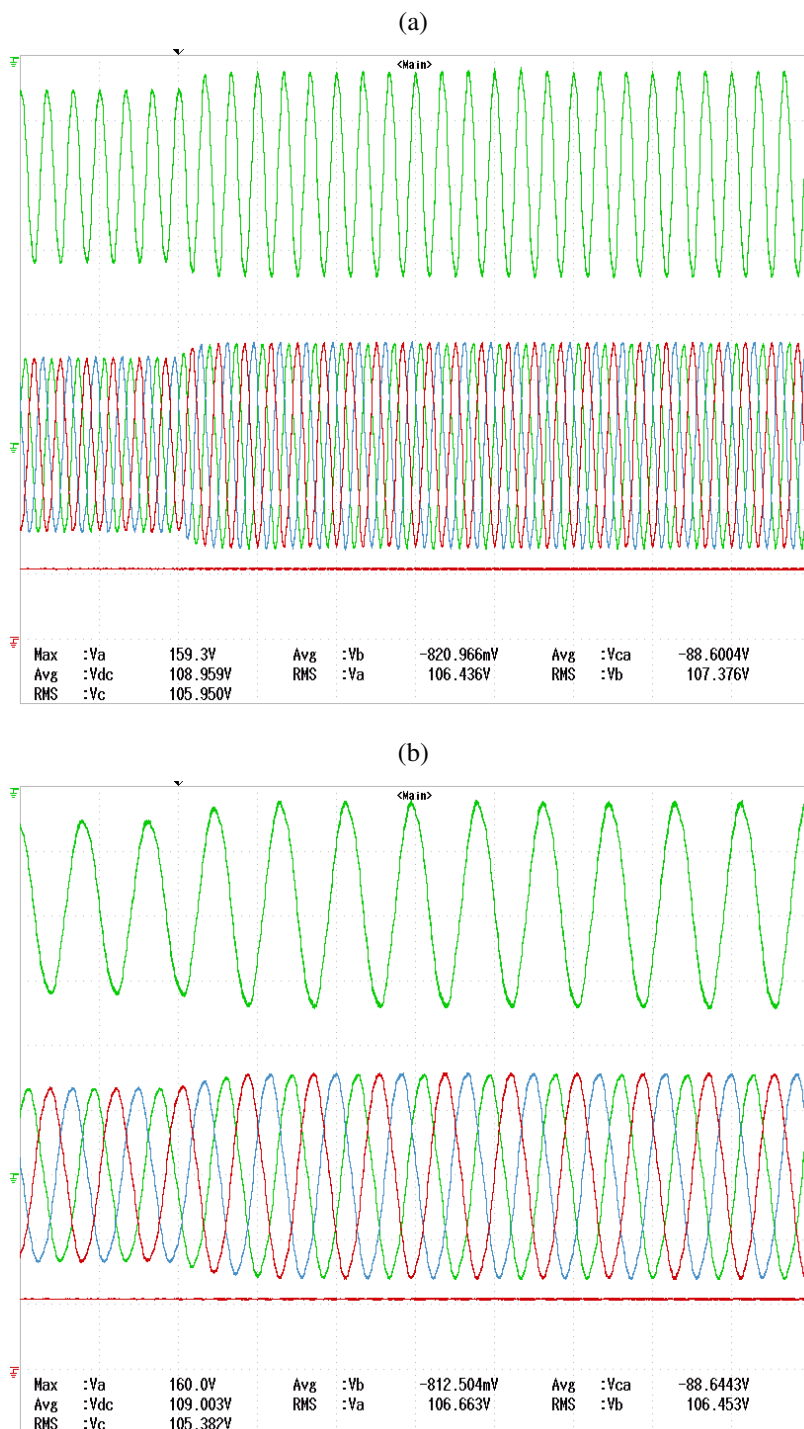


Figura 103 – Inversor *buck-boost* sete chaves com controle. Degrau de -15% em V_o^{ref} (de 155,4 V para 132 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} (200 V/div). (a) 50 ms/div (b) 20 ms/div

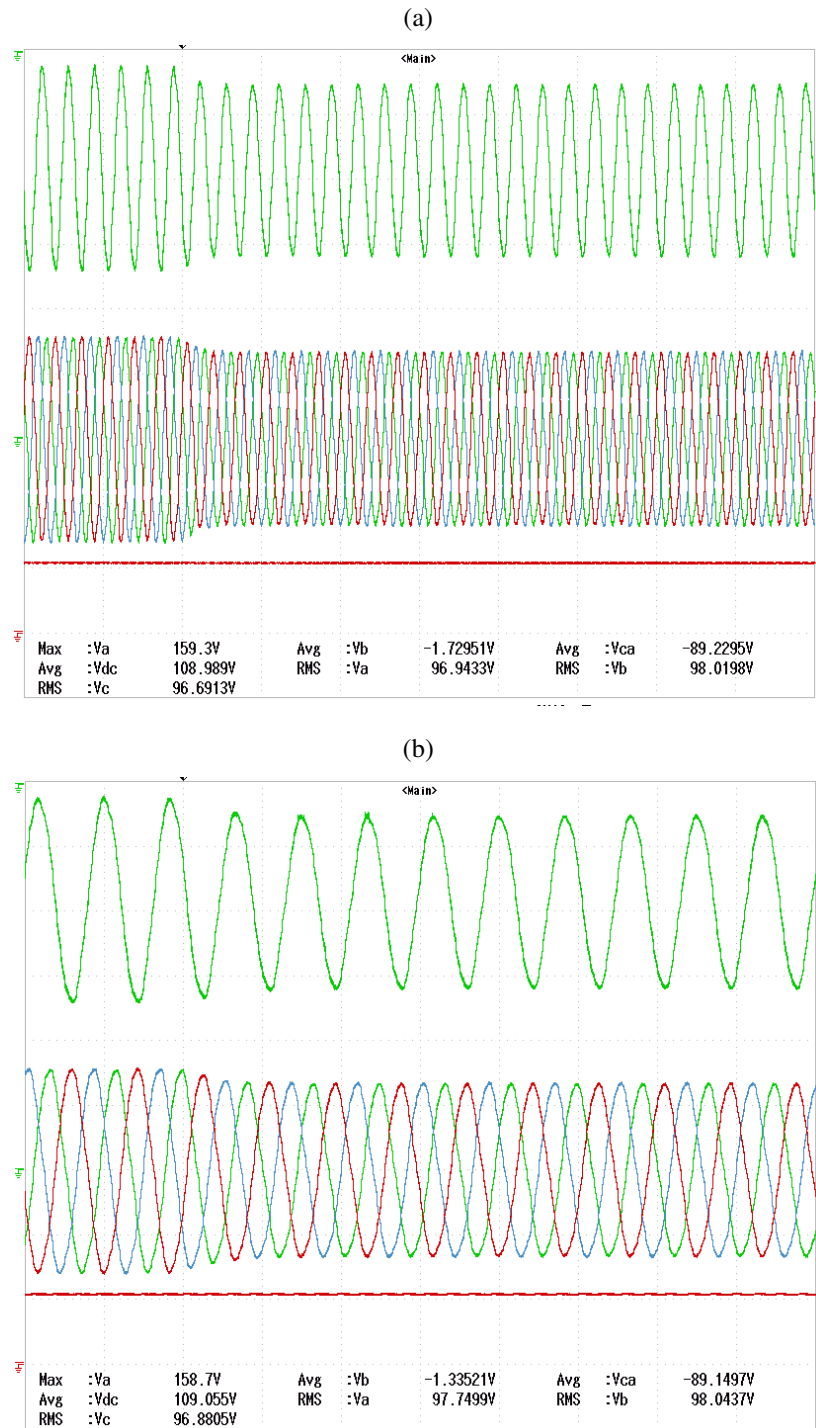


Figura 104 – Inversor *buck-boost* sete chaves com controle. Degrau de +10% em V_{in} (de 100 V para 110 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} escala de 20 V/div. (a) 20 ms/div (b) 10 ms/div

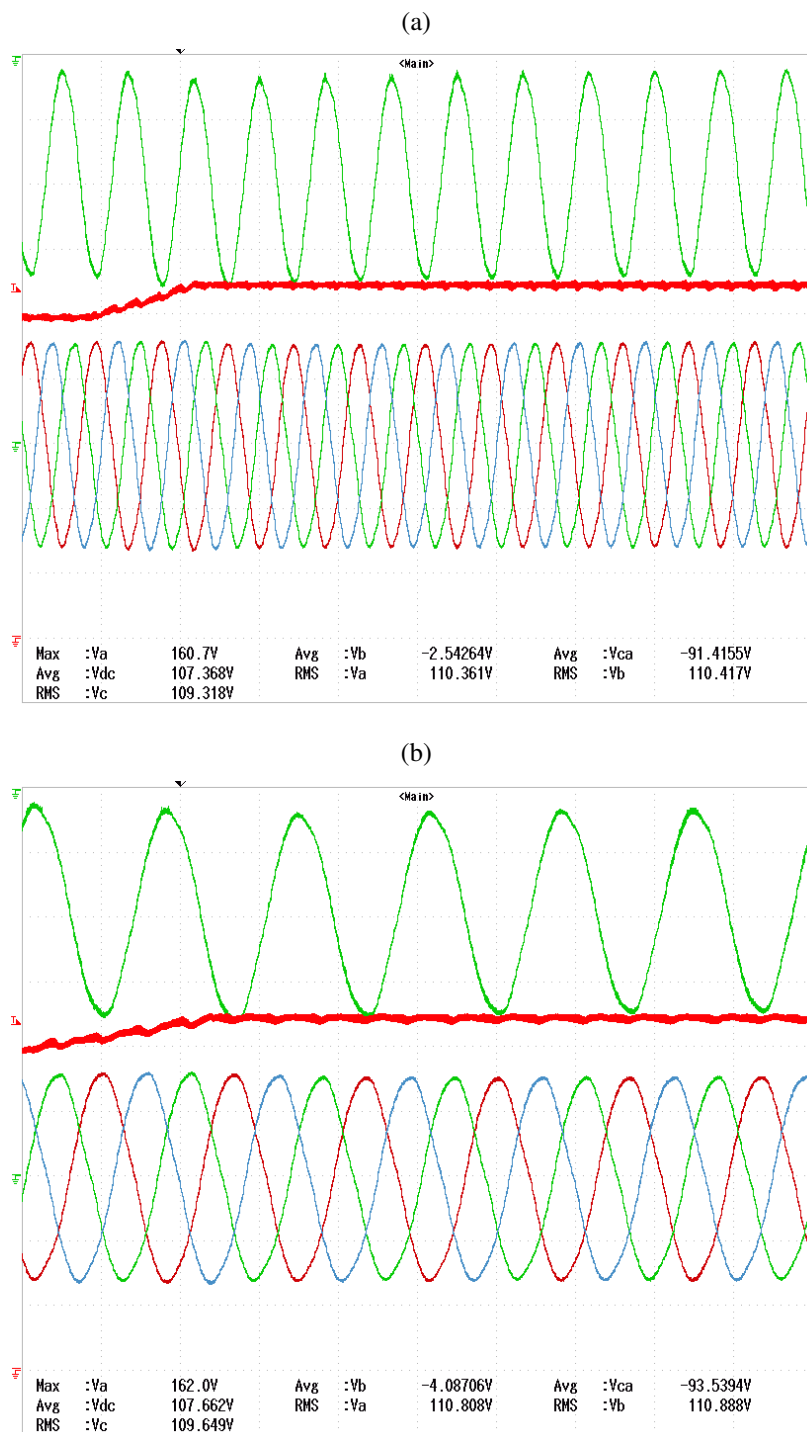
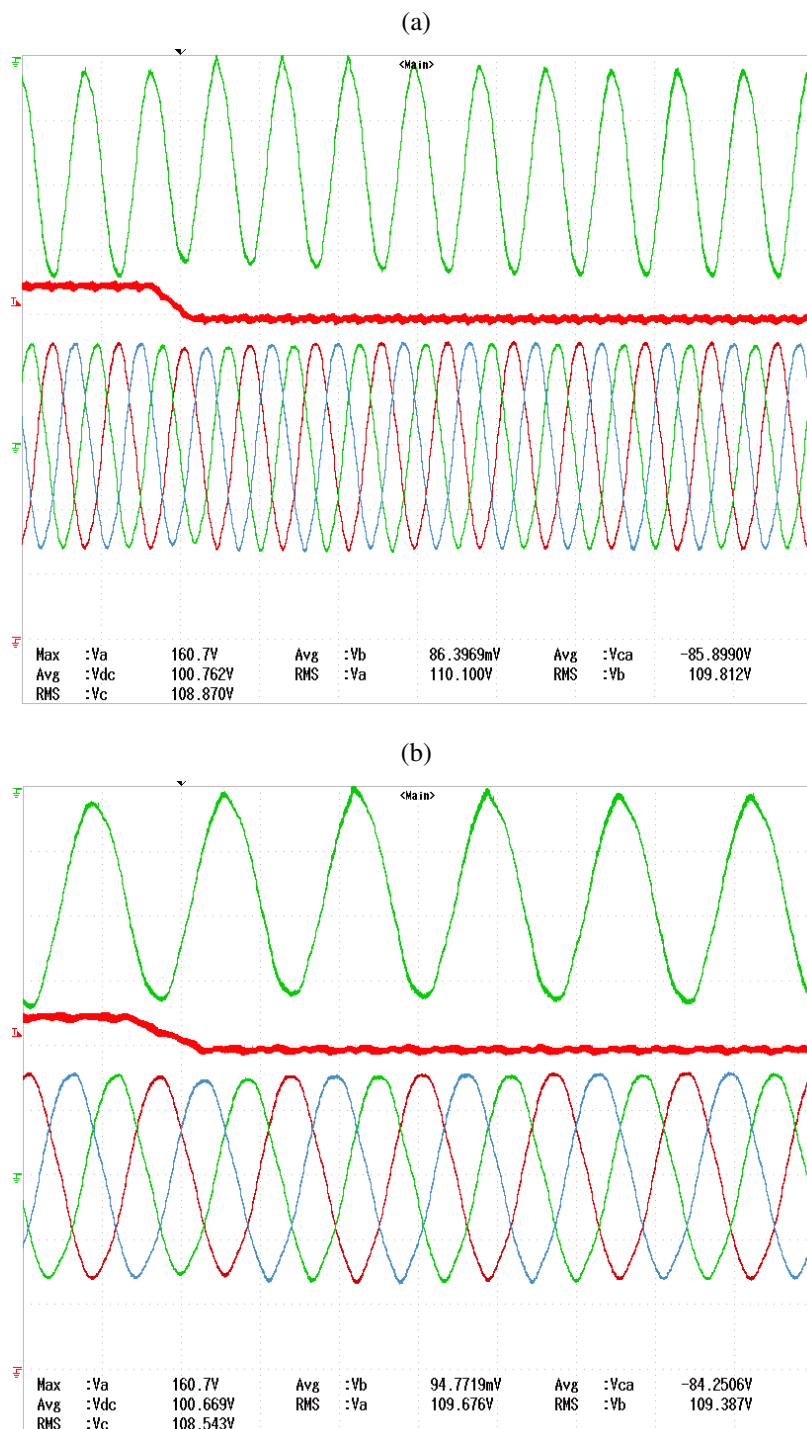


Figura 105 – Inversor *buck-boost* sete chaves com controle. Degrau de -10% em V_{in} (de 110 V para 100 V): (Verde) V_{cA} (50 V/div); (Colorido) v_{oABC} (100 V/div); (Vermelho) V_{in} escala de 20 V/div. (a) 20 ms/div (b) 10 ms/div



5 CONCLUSÃO E TRABALHOS FUTUROS

Observando as topologias TSTS-ZSI monofásicas, considerando as suas vantagens, ficou evidente durante o desenvolvimento dos estudos a importância do aprofundamento realizado, em virtude de sua complexidade. Nesse contexto, no Capítulo 2 realizou-se uma pesquisa bibliográfica a fim de entender a evolução do referido inversor, objetivando facilitar o entendimento de seu funcionamento e, portanto, o desenvolvimentos de seu modelo em regime permanente. Em seguida, foram apresentadas algumas topologias do inversor fonte Z monofásico com três estágios e três chaves, detalhando todo seu princípio de funcionamento. Das diversas topologias estudadas no referido capítulo, a topologia TSTS-ZSI *Buck-Boost* foi a que se mostrou mais promissora para o desenvolvimento de uma topologia trifásica e por isso teve sua análise mais aprofundada no Capítulo 3.

No Capítulo 3 foi realizada toda a modelagem matemática do inversor de forma a subsidiar o dimensionamento dos componentes para montagem do experimento, bem como o projeto de controle. Primeiramente foi desenvolvida uma modelagem dinâmica em grandes sinais, que se mostrou eficiente, conforme mostrado na Figura 34 e se apresenta como a primeira contribuição dessa tese.

Posteriormente foi necessário o desenvolvimento de modelagens em pequenos sinais, a fim de se controlar as duas grandezas escolhidas, V_{bb} e V_o , em virtude da natureza das mesmas. Ocorre que na modelagem de pequenos sinais o número de variáveis existentes é duplicado, pois cada uma destas é substituída por um ponto de equilíbrio somado a um distúrbio. Apesar do número de variáveis envolvidas e da complexidade para solução das equações, a modelagem em pequenos sinais, sendo uma das contribuições desse trabalho.

Durante as simulações realizadas com a modelagem em pequenos sinais, ficou evidenciada que a preocupação com a estabilidade do sistema deveria ser priorizada, pois, dependendo dos valores de distúrbios introduzidos, o sistema poderia ficar muito próximo da instabilidade. Desse modo, todas as ações posteriores à modelagem levaram em consideração a estabilidade dinâmica do sistema. Pelo exposto, ainda no Capítulo 3, os componentes do circuito foram estabelecidos levando em consideração a estabilidade do sistema e os valores que poderiam ser conseguidos dos mesmos, seja por questões comerciais, como o exemplo dos capacitores, ou por questões construtivas, no caso dos indutores.

Definidos os componentes, em seguida foi desenvolvido o projeto do controle, seguindo a mesma preocupação quanto à estabilidade do sistema a ser controlado, desde a definição do ponto de equilíbrio até a definição dos ganhos dos controladores. Durante a análise, a integração de um controlador P.I., para v_{bb} , e um P.R., para controle de v_o foram as que se mostraram mais apropriadas. No total, foram desenvolvidos dois controles, um para cada nível de tensão em

baixa tensão encontrado no Brasil. A eficácia do controle pode ser comprovada, tornando-se outra contribuições do trabalho.

De posse da modelagem e do controle do inversor, no Capítulo 4, foi desenvolvido objetivo geral da tese, referente ao desenvolvimento de um sistema trifásico sem transformador, com aterramento duplo e com baixa corrente de fuga baseado na família TSTS-ZSI. Duas topologias trifásicas foram propostas e desenvolvidas com base nas modelagens realizadas no capítulo anterior. Mesmo com todas as dificuldades envolvidas na montagem, foi possível validar as simulações em malha aberta para os dois conversores propostos conforme pode ser visto nas figuras de 92 a 97. Somando-se assim, mais uma contribuição desta tese.

A similaridade entre as topologias de nove e sete chaves permitiu a utilização do mesmo controle desenvolvido anteriormente, sendo comprovada sua eficácia em ambos os casos, conforme pode ser visto nas Figura 73 e 85. Tornando-se, assim, uma outra importante contribuição desta tese.

Os controles desenvolvidos foram implementados na montagem de bancada. Foram introduzidos degraus nas grandezas controladas, v_{bb} e v_o , bem como na tensão de alimentação V_{in} (figuras 98 a 105), evidenciando que os controles para os inversores de nove e sete chaves atuaram de forma efetiva, validando os resultados de simulação obtidos.

Pelos resultados obtidos, e expectativas expostas, entende-se que as topologias propostas se apresentam como soluções interessantes à conexão de sistemas trifásicos FV à rede sem transformadores, se comparados com outros arranjos citados no Capítulo 1, pois apresentam elevação de tensão em um único estágio com baixa corrente de fuga e bons rendimentos.

5.1 Trabalhos Futuros

Entende-se como primeiro trabalho futuro, a priorização da conexão dos inversores propostos, o de nove e de sete chaves, à rede, a fim de validá-los. Seguindo a linha proposta de aplicação em sistemas FV, seria de suma importância o desenvolvimento e integração de um controle de MPPT às topologias, juntamente com experimento para validação.

Seria interessante a elaboração de experimento para comprovação dos rendimentos calculadas no Capítulo 2, pois tais constatações não puderam ser realizadas no experimento montado para esta tese.

REFERÊNCIAS

- ADMINISTRATION, E. I. International energy outlook 2007. In: _____. *Industrial Power Distribution*. [S.l.]: Office of Integrated Analysis and Forecasting, U.S. Department of Energy, USA, 2007. Citado na página 21.
- AHMED, A. T.; SAAD, M.; NAKAOKA, M. Single phase transformerless semi-z-source inverter with reduced total harmonic distortion (thd) and dc current injection. *IEEE Trans. Power Eletronics.*, p. 1322–1327, Feb. 2013. Citado 2 vezes nas páginas 34 e 36.
- AL, C. A. B. et. Current controller based on reduced order generalized integrators for distributed generation systems. *IEEE Transactions on Industrial Electronics*, Jul. 2012. Citado na página 102.
- ANDERSON, F. P. J. Four quasi-z-source inverters. *IEEE Trans. Power Eletronics.*, p. 2743–2749, Aug. 2008. Citado 2 vezes nas páginas 34 e 35.
- ANEEL. International energy outlook 2007. In: _____. *RESOLUÇÃO NORMATIVA No 687 - Altera a Resolução Normativa no 482 e os Módulos 1 e 3 dos Procedimentos de Distribuição - PRODIST*. [S.l.]: Agência Nacional de Energia Elétrica, 2015. Citado na página 24.
- ARDASHIR, J. F. et al. A single-phase transformerless inverter with charge pump circuit concept for grid-tied pv applications. *IEEE Transactions on Industrial Electronics*, v. 64, n. 7, p. 5403–5415, July 2017. Citado 3 vezes nas páginas 26, 27 e 28.
- ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. *Instalações elétricas de baixa tensão NBR-5410*: Instalações elétricas de baixa tensão. Brasília, 2004. 209 p. Citado na página 25.
- BERKOVICH, Y. et al. A family of four-quadrant pwm dc-dc converters. *IEEE Trans. Power Eletronics.*, p. 1878–1883, Set. 2007. Citado 6 vezes nas páginas 8, 19, 34, 36, 37 e 38.
- BLAABJERG, F. et al. Overview of control and grid synchronization for distributed power generation systems. *IEEE Transactions on Power Electronics*, v. 53, n. 5, p. 1398–1409, Oct. 2006. Citado na página 24.
- BRADASCHIA, F. *Conversores Fonte Z para Sistemas Fotovoltaicos e Monofásicos-Trifásicos*. [S.l.]: Tese de Doutorado, Universidade Federal de Pernambuco, 2012. Citado na página 25.
- BRADASCHIA, F. et al. Modulation for three-phase transformerless z-source inverter to reduce leakage currents in photovoltaic systems. *IEEE Transactions on Industrial Electronics*, v. 58, n. 12, p. 5385–5395, Dec. 2011. Citado 2 vezes nas páginas 29 e 30.
- BRADASCHIA, F. et al. Comparative study of topologies for three-phase transformerless photovoltaic systems. *COBEP*, 2013. Citado 4 vezes nas páginas 28, 29, 30 e 63.
- CAVALCANTI, M. C. et al. A photovoltaic generation system with unified power quality conditioner function. *IEEE IECON*, 2005. Citado na página 24.
- CAVALCANTI, M. C. et al. Two-stage converter with remote state pulse width modulation for transformerless photovoltaic systems. *Electric Power Systems Research*, v. 108, p. 260–268, 2014. Citado 2 vezes nas páginas 24 e 29.

- CAVALCANTI, M. C. et al. Eliminating leakage currents in neutral point clamped inverters for photovoltaic systems. *IEEE Transactions on Industrial Electronics*, v. 59, n. 1, p. 435–443, Jan. 2012. Citado na página 28.
- CAVALCANTI, M. C. et al. Modulation techniques to eliminate leakage currents in transformerless three phase photovoltaic systems. *IEEE Transactions on Industrial Electronics*, v. 57, n. 4, p. 1360–1368, Apr. 2010. Citado 2 vezes nas páginas 28 e 29.
- CHUB O. HUSEV, J. Z. A. Switched-capacitor current-fed quasi-z-source inverter. *14th Biennial Baltic Electronics Conference (BEC2014)*, p. 229–232, Out. 2014. Citado na página 34.
- DONG, C. et al. Low-cost semi-z-source inverter for single-phase photovoltaic systems. *IEEE Trans. Power Electronics*, v. 26, n. 12, p. 3514–3523, Dec. 2011. Citado na página 34.
- DORF, R. C.; BISHOP, R. H. *Sistemas de Controle Modernos*. 12^a. [S.l.]: LTC - Livros Técnicos e Científicos, 2013. Citado 2 vezes nas páginas 97 e 99.
- ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of Power Electronics*. 2^a. [S.l.]: Kluwer Academic Publishers, 2004. Citado 6 vezes nas páginas 9, 78, 79, 80, 81 e 87.
- FERRAZ, P. E. P. *Comparação entre Inversores Fonte Z e Conversor de Dois Estágios para Sistemas Fotovoltaicos sem Transformador*. [S.l.]: Dissertação de Mestrado, Universidade Federal de Pernambuco, 2012. Citado 2 vezes nas páginas 25 e 28.
- FERRAZ, P. E. P. et al. A modified z-source inverter topology for stable operation of transformerless photovoltaic systems with reduced leakage currents. *COBEP*, p. 615–622, 2011. Citado na página 29.
- FILHO, A. V. et al. *Plano Decenal de Expansão de Energia 2022*. [S.l.]: Empresa de Pesquisas Energéticas, Rio de Janeiro, 2013. Citado na página 23.
- FREDDY, T. K. S. et al. Modulation techniques to reduce leakage current in three-phase transformerless h7 photovoltaic inverter. *IEEE Transactions on Industrial Electronics*, v. 62, n. 1, p. 322–331, Jan. 2015. Citado na página 28.
- GARCIA, M. et al. Partial shadowing, mppt performance and inverter configurations: Observations at tracking pv plants. *Progress in Photovoltaics: Research and Applications*, v. 16, n. 6, p. 529–536, Sep. 2008. Citado na página 28.
- GU, Y. et al. Transformerless inverter with virtual dc bus concept for cost-effective grid-connected pv power systems. *IEEE Transactions on Power Electronics*, v. 28, n. 2, p. 793–805, Feb. 2013. Citado 2 vezes nas páginas 26 e 27.
- GUO, X. Three-phase ch7 inverter with a new space vector modulation to reduce leakage current for transformerless photovoltaic systems. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 5, n. 2, p. 708–712, June 2017. Citado na página 28.
- GUO, X. et al. Single-carrier modulation for neutral-point-clamped inverters in three-phase transformerless photovoltaic systems. *IEEE Transactions on Power Electronics*, v. 28, n. 4, p. 2635–2637, 2013. Nenhuma citação no texto.
- HOU, C. C. et al. Common-mode voltage reduction pulse-width modulation techniques for three-phase grid connected converters. *IEEE Transactions on Power Electronics*, v. 28, n. 4, p. 1971–1979, 2013. Citado na página 28.

- HUANG, L. et al. A family of three-switch tree-state single-phase z-source inverters. *IEEE Trans. Power Electronics.*, v. 28, n. 5, p. 2317–2329, May. 2013. Citado 27 vezes nas páginas 8, 9, 15, 19, 30, 31, 32, 35, 36, 40, 41, 42, 43, 44, 45, 46, 47, 49, 50, 51, 57, 62, 63, 64, 65, 68 e 87.
- IEC. Safety of power converters for use in photovoltaic power systems - part 2: Particular requirements for inverters. In: _____. *IEC 62109-2:2011*. [S.l.]: International Electrotechnical Commission, 2011. Citado na página 28.
- JEDTBERG, H. et al. Analysis of the robustness of transformerless pv inverter topologies to the choice of power devices. *IEEE Transactions on Power Electronics*, v. 32, n. 7, p. 5248–5257, July 2017. Citado na página 27.
- LI, Q.; WOLFS, P. A review of the single phase photovoltaic module integrated converter topologies with three different dc link configurations. *IEEE Trans. Power Electronics.*, v. 23, n. 3, p. 1320–1333, May. 2008. Citado na página 34.
- LIU, J. B.; HU, J. G.; XU, L. Y. Dynamic modeling and analysis of zsource converter-derivation of ac small signal model and design-oriented analysis. *IEEE Trans. Power Electronics.*, v. 22, n. 5, p. 1786–1796, Sep. 2007. Nenhuma citação no texto.
- LOH, P. C. et al. Transient modeling and analysis of pulse width modulated zsource inverter. *IEEE Trans. Power Electronics.*, v. 22, n. 2, p. 498–507, Mar. 2007. Nenhuma citação no texto.
- LOPEZ, O. et al. Eliminating ground current in a transformerless photovoltaic application. *IEEE Power Engineering Society General Meeting*, p. 1–5, 2007. Citado na página 25.
- NAKABAYASHI, R. K. *Microgeração Fotovoltáica no Brasil: Condições Atuais e Perspectivas Futuras*. [S.l.]: Dissertação de Mestrado, Universidade de São Paulo, 2014. Citado 2 vezes nas páginas 22 e 23.
- NGUYEN, M. K.; LIM, Y. C.; CHO, G. B. Transient modeling and analysis of pulse width modulated zsource inverter. *IEEE Trans. Power Electronics.*, v. 26, n. 11, p. 3183–3191, Nov. 2011. Citado na página 34.
- OGATA, K. *Engenharia de Controle Moderno*. 5^a. [S.l.]: Pearson, 2011. Citado 3 vezes nas páginas 96, 99 e 104.
- OLIVEIRA, K. C. de. *Conversores de Potência para Sistemas Fotovoltaicos Conectados à Rede Elétrica sem Transformador*. [S.l.]: Tese de Doutorado, Universidade Federal de Pernambuco, 2012. Citado 3 vezes nas páginas 24, 26 e 27.
- OTT, S. et al. Experimental analysis of extended boost quasi-z-source inverters. *13th Biennial Baltic Electronics Conference (BEC2012)*, p. 259–262, Oct. 2012. Citado na página 34.
- PENG, F. Z-source inverter. *IEEE Transactions on Industry Applications*, v. 39, n. 2, p. 504–510, Mar./Apr. 2003. Citado 3 vezes nas páginas 29, 34 e 35.
- PEREIRA, E. B. et al. *Atlas Brasileiro de Energia Solar*. 1^a. [S.l.]: Instituto Nacional de Pesquisas Espaciais, 2006. Citado na página 23.
- PIGAZO, M. L. A.; DELLAQUILA, A.; MORENO, V. An anti-islanding method for single-phase inverters based on a grid voltage sensorless control. *IEEE Transactions on Power Electronics*, v. 53, n. 5, p. 1418–1426, Oct. 2006. Citado na página 24.

PUTTGEN, H. B.; MACGREGOR, P. R. Distributed generation: Semantic hype or the dawn of a new era. *IEEE Power & Energy Magazine*, Jan. 2003. Citado na página 21.

SHEN, M. et al. Comparison of traditional inverters and z-source inverter. *IEEE PESC*, p. 1692–1698, 2005. Citado na página 29.

TANG, Y. et al. Improved z-source inverter with reduced z-source capacitor voltage stress and soft-start capability. *IEEE Transactions on Power Electronics*, v. 24, n. 2, p. 409–415, Feb. 2009. Citado 2 vezes nas páginas 26 e 29.

TANG, Y. et al. Highly reliable transformerless photovoltaic inverters with leakage current and pulsating power elimination. *IEEE Transactions on Industrial Electronics*, v. 63, n. 2, p. 1016–1026, Feb. 2016. Citado na página 27.

TOLMASQUIM, M. T.; GUERREIRO, A.; FARIAS, J. C. M. *Análise da Inserção da Geração Solar na Matriz Elétrica Brasileira*. [S.l.]: Empresa de Pesquisas Energéticas, Rio de Janeiro, 2012. Citado na página 22.

VÁZQUEZ, N. et al. A new common-mode transformerless photovoltaic inverter. *IEEE Transactions on Industrial Electronics*, v. 62, n. 10, p. 6381–6391, Oct. 2015. Citado 2 vezes nas páginas 26 e 27.

WEG. *Correção do Fator de Potência*. 13^a. [S.l.]: WEG Equipamentos Elétricos S.A., 2011. Citado na página 64.

XIAO, H. F.; ZHANG, L.; LI, Y. A zero-voltage-transition heric-type transformerless photovoltaic grid-connected inverter. *IEEE Transactions on Industrial Electronics*, v. 64, n. 2, p. 1222–1232, Feb. 2017. Citado na página 27.

XUE, Y. et al. Topologies of single-phase inverters for small distributed power generators: An overview. *IEEE Trans. Power Eletronics.*, v. 19, n. 5, p. 1305–1314, Sep. 2004. Citado na página 34.

Y.TANG S. XIE, C. Z. Single-phase z-source inverter. *IEEE Trans. on Power Eletronics.*, p. 1266–1270, Set. 2008. Citado 2 vezes nas páginas 8 e 36.

Y.TANG S. XIE, C. Z. Single-phase z-source inverter. *IEEE Trans. on Power Eletronics.*, v. 26, n. 12, p. 3869–3873, Dec. 2011. Citado na página 36.

ZMOOD, D. N.; HOLMES, D. G. Stationary frame current regulation of pwm inverters with zero steady-state error. *IEEE Trans. Power Electron.*, 2003. Citado 3 vezes nas páginas 101, 102 e 103.